

Универсальный синхронно-асинхронный приемопередатчик USART в микроконтроллерах PIC17C4X

Статья основывается на технической документации DS30412c
компании Microchip Technology Incorporated, USA.

**© ООО «Микро-Чип»
Москва - 2001**

Распространяется бесплатно.
Полное или частичное воспроизведение материала допускается только с письменного разрешения
ООО «Микро-Чип»
тел. (095) 737-7545
www.microchip.ru

Универсальный синхронно-асинхронный приемопередатчик USART в микроконтроллерах PIC17C4X

Статья основывается на технической документации DS30412c
компании Microchip Technology Incorporated, USA.

В статье описывается модуль USART микроконтроллеров: PIC17C42; PIC17C42A; PIC17C43; PIC17CR43; PIC17C44.

USART – это модуль последовательного ввода вывода, который может использоваться для работы с периферийными устройствами, такими как терминалы или персональные компьютеры, модемы, микросхемами ЦАП, АЦП, последовательными EEPROM и т.д.

USART может работать в трех режимах:

- асинхронный, полный дуплекс
- ведущий синхронный, полу дуплекс
- ведомый синхронный, полу дуплекс

Для работы с USART модулем используется 5 регистров

TXSTA – регистр 1 настройки USART

RCSTA – регистр 2 настройки USART

SPBRG – регистр настройки скорости приема/передачи данных

RCREG – регистр данных приемника

TXREG – регистр данных передатчика

Для включения модуля USART и настройки портов RA4 и RA5 в качестве выводов последовательного интерфейса, необходимо установить бит SPEN в регистре RCSTA. При этом USART будет управлять направлением каналов RA4/RX/DT и RA5/TX/CK в зависимости от состояния битов конфигурации USART в регистрах RCSTA и TXSTA:

SPEN – включение последовательного порта

TXEN – разрешение передачи

CREN – разрешение приема

SREN – разрешение одиночного приема в синхронном режиме

CSRC – выбор источника тактового сигнала в синхронном режиме

TXSTA (адрес: 15h банк 0): регистр конфигурации 1

R/W - 0	R/W - 0	R/W - 0	R/W - 0	U - 0	U - 0	R - 1	R/W - 0
CSRC	TX9	TXEN	SYNC	-	-	TRMT	TX9D
бит7							бит0

бит 7: **CSRC:** выбор источника тактового сигнала

Синхронный режим

1 = ведущий, внутренний тактовый сигнал от BGR

0 = ведомый, внешний тактовый сигнал со входа CK

Асинхронный режим

Не имеет значения

бит 6: **TX9:** разрешение 9-битной передачи

1 = 9-битная передача

0 = 8-битная передача

бит 5: **TXEN:** разрешение передачи

1 = разрешена

0 = запрещена

бит 4: **SYNC:** режим работы USART

1 = синхронный

0 = асинхронный

бит 3-2: **Не используется:** читается как '0'

бит 1: **TRMT:** флаг очистки сдвигового регистра передатчика TSR

1 = пуст

0 = заполнен

бит 0: **TX9D:** 9-й бит передаваемых данных (может быть использован для программной проверки четности)

RCSTA (адрес: 13h банк 0): регистр конфигурации 2

R/W - 0	R/W - 0	R/W - 0	R/W - 0	U - 0	R - 0	R - 0	R - X
SPEN	RX9	SREN	CREN	-	FERR	OERR	RX9D
бит7							бит0

- бит 7: **SPEN:** разрешение работы последовательного порта
 1 = выводы RA4/RX/DT и RA5/TX/CK подключены к модулю USART
 0 = модуль последовательного порта выключен
- бит 6: **RX9:** разрешение 9-битного приема
 1 = 9-битный прием
 0 = 8-битный прием
- бит 5: **SREN:** разрешение одиночного приема
Синхронный режим
 1 = разрешен
 0 = запрещен
 Примечание: в режиме ведомого не имеет значения
- Асинхронный режим**
 Не имеет значения
- бит 4: **CREN:** разрешение приема
Синхронный режим
 1 = разрешен (при этом автоматически сбрасывается бит SREN)
 0 = запрещен
- Асинхронный режим**
 1 = разрешен
 0 = запрещен
- бит 3: **Не используется:** читается как '0'
- бит 2: **FERR:** ошибка кадра, сбрасывается при чтении регистра RCREG
 1 = ошибка была
 0 = ошибки не было
- бит 1: **OERR:** ошибка переполнения внутреннего буфера, устанавливается в нуль при сбросе бита CREN
 1 = ошибка была
 0 = ошибки не было
- бит 0: **RX9D:** 9-й бит принятых данных (может быть использован для программной проверки четности)

Генератор частоты обмена USART BGR

BGR используется для задания скорости приема передачи данных в синхронном ведущем и асинхронном режимах работы USART. BGR представляет собой отдельный 8-битный таймер, период которого задается в регистре SPBRG.

Рассчитать скорость приема/передачи данных можно по формуле:

Синхронный ведущий режим

$$SPBGR = F_{osc}/(F_b \cdot 4) - 1$$

Асинхронный режим

$$SPBGR = F_{osc}/(F_b \cdot 64) - 1$$

Где F_{osc} – тактовая частота микроконтроллера
 F_b – желаемая скорость

Например:

$$F_{osc} = 16 \text{ МГц}$$

Необходимо получить скорость приема/передачи данных в асинхронном режиме 9600 бит/с

$$SPBGR = 16\,000\,000 / (9600 \cdot 64) - 1 = 25.042$$

Округляем результат и получаем $SPBGR = 25$

Обратным вычислением определим реальную скорость

$$25 = 16\,000\,000 / (F_b \cdot 64) - 1$$

Преобразуя уравнение, получаем $F_b = 9615 \text{ бит/с}$

Определим ошибку скорости

$$\text{Ошибка} = 100\% \cdot (9615 - 9600) / 9600 = 0.16\%$$

Связанные с генератором BGR регистры

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	POR	Reset
13h, 6.0	RCSTA	SPEN	RX9	SREN	CREN	-	FEER	OERR	RX9D	0000 -00x	0000 -00u
15h, 6.0	TXSTA	CSRC	TX9	TXEN	SYNC	-	-	TRMT	TX9D	0000 --10	0000 --10
17h, 6.0	SPBGR	Регистр BGR								xxxx xxxx	uuuu uuuu

Примечание: x = неизвестно, u = без изменений, - = не используются, читаются как "0". Затененные клетки не используются.

Асинхронный режим работы USART

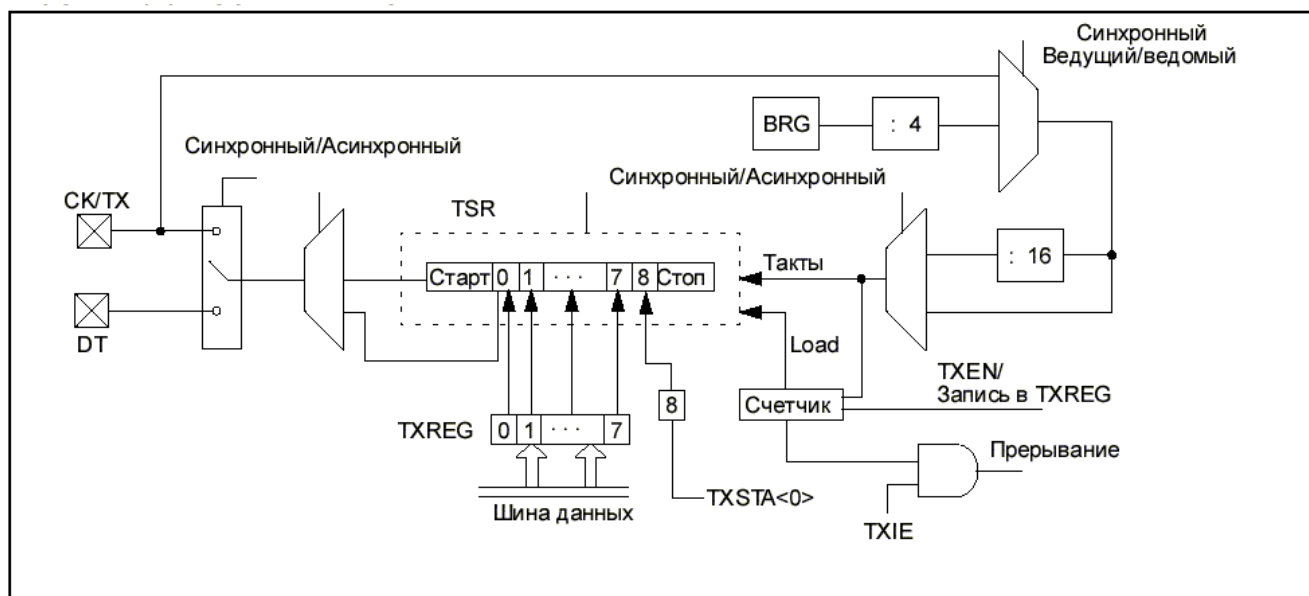
В этом режиме USART использует стандартный формат NRZ, - один стартовый бит, восемь или девять битов данных и один стоповый бит. Наиболее часто встречаемый 8-битный формат передачи данных. Для получения стандартных скоростей передачи, необходимо использовать 8-битный генератор BGR. Приемник и передатчик последовательного порта работают независимо друг от друга, но используют один и тот же формат данных и работают на одной скорости. Бит четности аппаратно не поддерживается, но может быть реализован программно используя 9-битовый формат данных. Последовательный порт останавливается в SLEEP при асинхронной передаче данных. Включение асинхронного режима производится установкой бита SYNC в регистре TXSTA.

Асинхронный модуль USART состоит из следующих элементов:

- генератор скорости обмена
- цепь опроса
- асинхронный передатчик
- асинхронный приемник

Асинхронный передатчик

Структурная схема передатчика

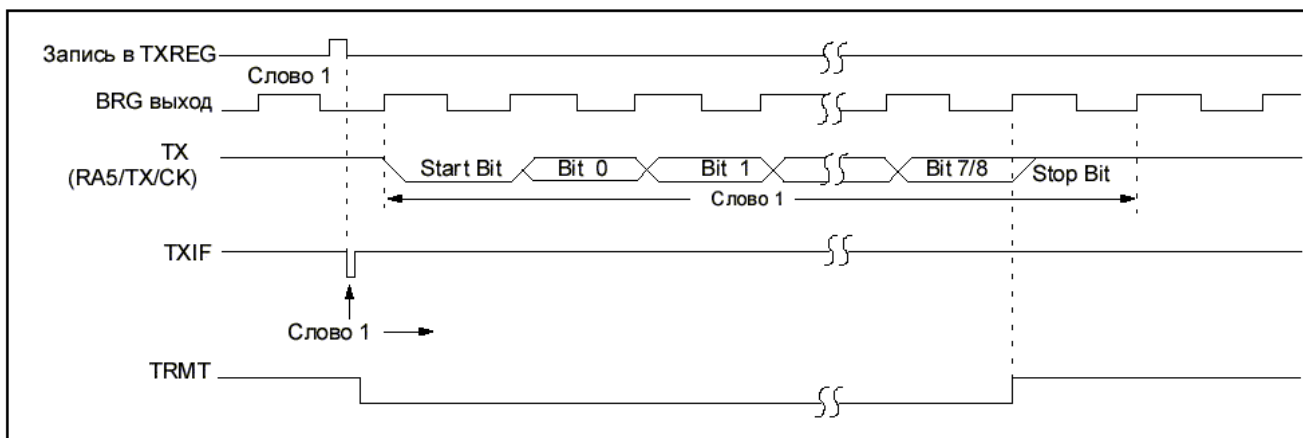


Главным в передатчике является сдвиговый регистр TSR. Сдвиговый регистр получает данные из буфера передатчика TXREG, данные в который загружаются программным способом. После передачи стопового бита предыдущего байта, в последнем машинном такте цикла BGR, TSR загружается новым значением из TXREG (если оно присутствует), после чего выставляется флаг прерывания TXIF в регистре PIR. Это прерывание может быть разрешено или запрещено битом TXIE регистра PIE. Флаг TXIF устанавливается независимо от состояния бита TXIE и не может быть сброшен. Очистка флага TXIF происходит только после загрузки новых данных в TXREG. Аналогичным образом бит TRMT отображает состояние регистра TSR. Этот бит, доступен только на чтение и не может вызвать прерывания.

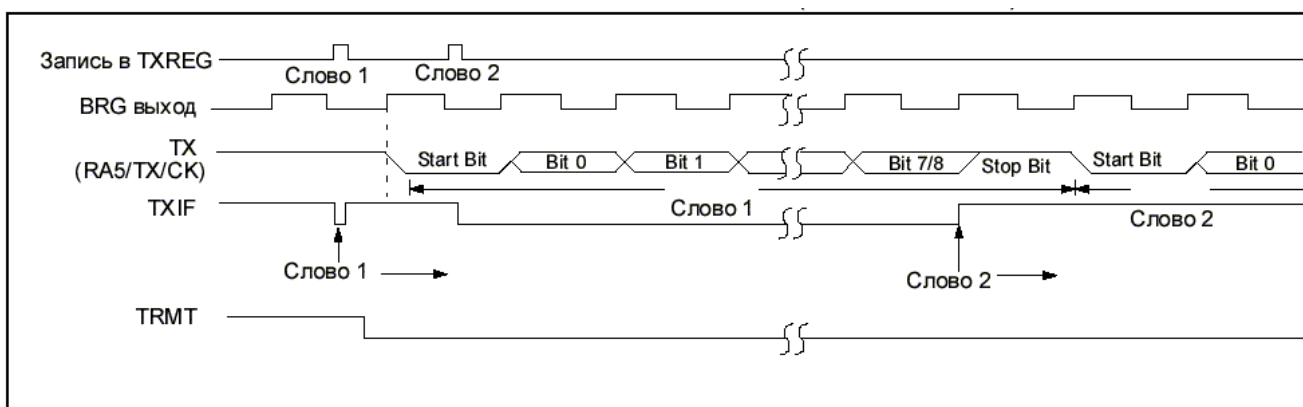
Примечание: Регистр TSR не отображается на память и не доступен для чтения

Разрешение передачи производится установкой бита TXEN регистра TXSTA. Передача данных не начнется до тех пор пока:

- в TXREG не будут загружены новые данные
- не придет очередной тактовый импульс от BGR



Можно сначала загрузить данные в TXREG, а затем установить бит TXEN. Как правило, после разрешения передачи регистр TSR пуст, таким образом, данные записываемые в TXREG сразу передаются в TSR, а TXREG остается пустым. Это позволяет реализовать слитную передачу данных.



Сброс бита TXEN вызовет немедленное прекращение передачи, сброс передатчика и перевод вывода RA5/TX/CK в третье состояние.

Для организации 9-битной передачи, необходимо установить бит TX9 регистра TXSTA. Девятый бит данных записывается в бит TX9D до записи данных в регистр TXREG.

Рекомендованная последовательность действий для передачи данных в асинхронном режиме:

1. Установить требуемую скорость передачи с помощью BGR
2. Выбрать асинхронный режим сбросом бита SYNC
3. Включить модуль USART установкой бита SPEN
4. Если необходимо, разрешить прерывания установкой бита TXIE
5. Если передача 9-битная, установить бит TX9
6. Если передача 9-битная, записать 9-й бит данных в TX9D
7. Записать данные в регистр TXREG
8. Разрешить передачу установкой бита TXEN

Запись данных в TXREG до разрешения передачи данных, позволяет начать передачу быстрее, чем, если бы эти действия были проделаны в другой последовательности.

Примечание: Для прекращения передачи необходимо сбросить бит SPEN или TXEN, что приведет к сбросу логики передатчика. При последующем включении передатчика его настройка сохранится.

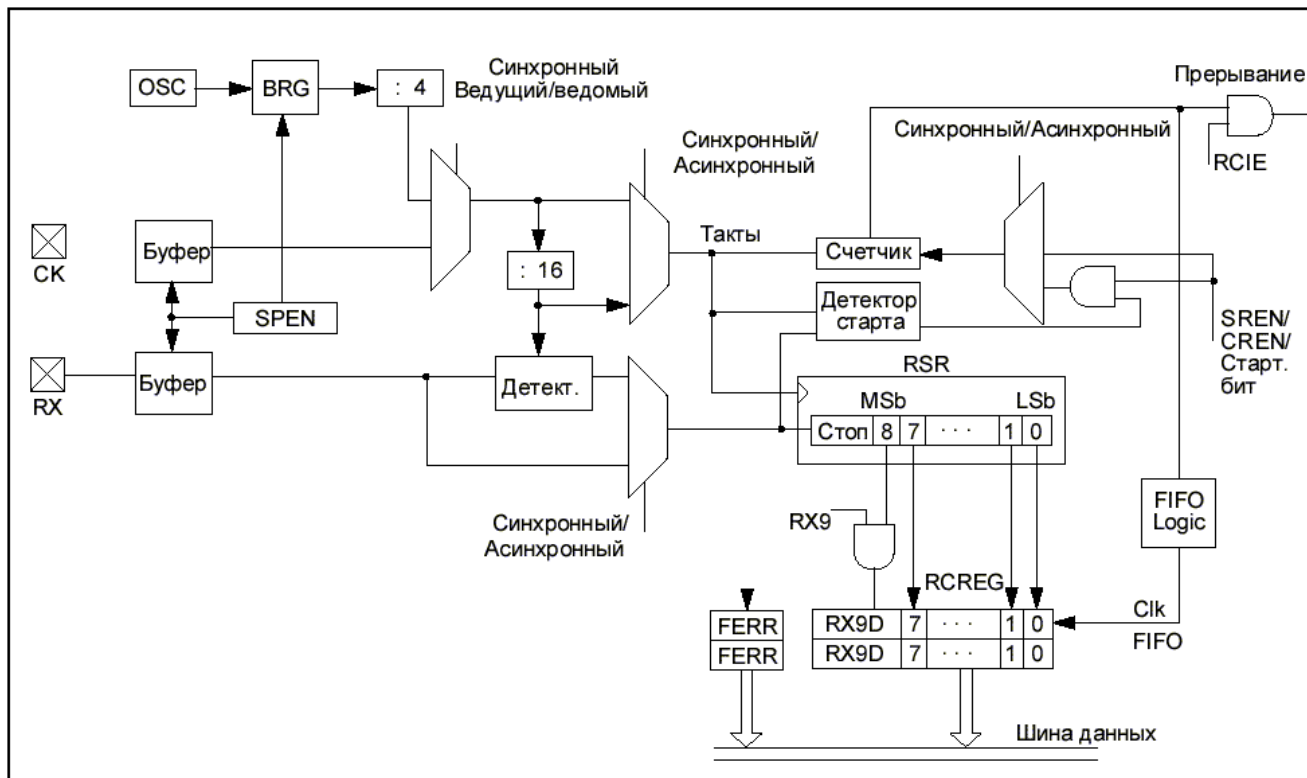
Связанные с асинхронным передатчиком регистры и биты

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	POR	Reset
13h, 6.0	RCSTA	SPEN	RX9	SREN	CREN	-	FEER	OERR	RX9D	0000 -00x	0000 -00u
15h, 6.0	TXSTA	CSRC	TX9	TXEN	SYNC	-	-	TRMT	TX9D	0000 --10	0000 --10
17h, 6.0	SPBGR	Регистр BGR								xxxx xxxx	uuuu uuuu
16h, 6.0	TXREG	Регистр данных передатчика								xxxx xxxx	uuuu uuuu
16h, 6.1	PIR	RBIF	TMR3IF	TMR2IF	TMR1IF	CA2IF	CA1IF	TXIF	RCIF	0000 0010	0000 0010
17h, 6.1	PIE	RBIE	TMR3IE	TMR2IE	TMR1IE	CA2IE	CA1IE	TXIE	RCIE	0000 0000	0000 0000

Примечание: x = неизвестно, u = без изменений, - = не используются, читаются как "0". Затененные клетки не используются.

Асинхронный приемник

Структурная схема приемника USART



Данные подаются на вход RA4/RX/DT в блок восстановления данных, представляющий собой скоростной сдвиговый регистр, работающий на частоте в 16 раз превышающей скорость передачи.

Включение приемника производится установкой бита CREN регистра RCSTA.

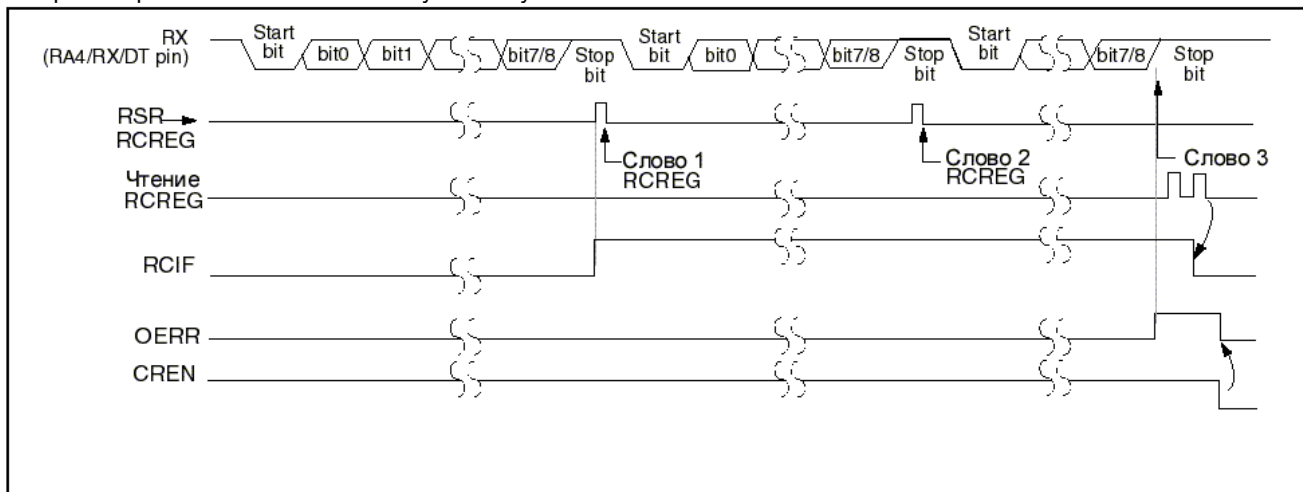
Главным в приемнике является сдвиговый регистр RSR. После получения стопового бита данные переписываются в регистр RCREG, если он пуст. После записи в регистр RCREG выставляется флаг прерывания RCIF в регистре PIR. Прерывание можно разрешить/запретить установкой/сбросом бита RCIE в регистре PIE. Флаг RCIF доступен только на чтение, сбрасывается аппаратно при чтении из регистра RCREG. Регистр RCREG имеет двойную буферизацию, т.е. представляет собой двухуровневый FIFO. Поэтому, можно принять 2 байта данных в FIFO RCREG и третий в регистр RSR.

Если FIFO заполнен и обнаружен стоповый бит третьего байта, устанавливается бит переполнения приемника OERR регистра RCSTA. Байт принятый в RSR будет потерян. Для извлечения двух байт из FIFO необходимо дважды прочитать из регистра RCREG. Бит OERR нужно программно очистить сбросом бита CREN, т.е. запрещением приема. В любом случае, если бит OERR установлен, логика приема отключена.

Бит ошибки FERR регистра RCSTA устанавливается, если не обнаружен стоповый бит.

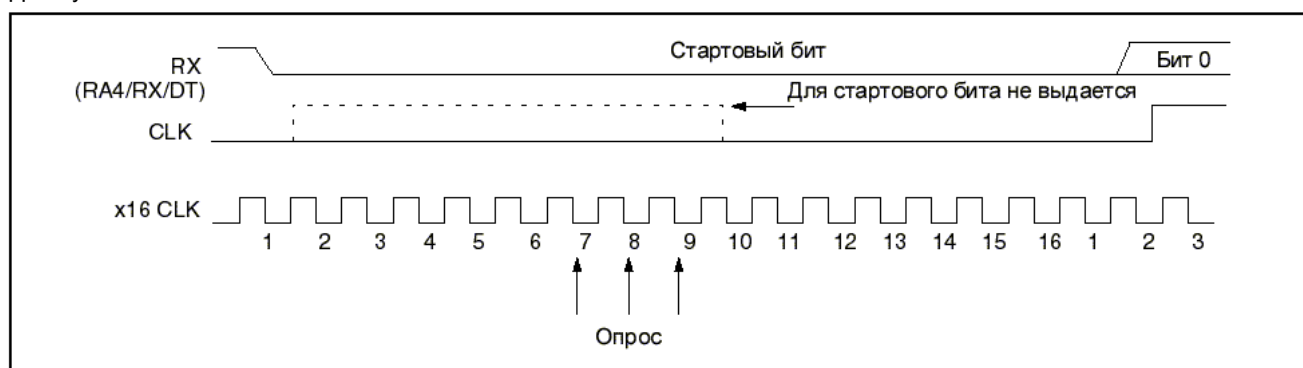
Примечание: FERR и девятый бит принятых данных буферизируются так же, как принятые данные. Рекомендуется сначала прочитать регистр RCSTA, затем RCREG, чтобы не потерять информацию RX9D и FERR.

На временной диаграмме показан приход трех слов на вход RX. Чтение из RCREG производится после того, как третье принятое слово вызывает установку бита OERR



Выборка

Сигнал со входа RA4/RX/DT опрашивается целью мажоритарного детектора три раза за такт передачи, чтобы определить, высокого или низкого уровня сигнал присутствует на входе, по седьмому восьмому и девятому заднему фронту тактового сигнала X16.



Рекомендованные действия при приеме данных в асинхронном режиме:

1. Установить требуемую скорость передачи с помощью BGR
2. Выбрать асинхронный режим сбросом бита SYNC
3. Включить модуль USART установкой бита SPEN
4. Если необходимо, разрешить прерывания установкой бита RCIE
5. Если прием 9-битный, установить бит RX9
6. Разрешить прием установкой бита CREN
7. Ожидать установку бита RCIF, или прерывание, если оно разрешено
8. Если прием 9-битный, считать 9-й бит данных из RX9D
9. Прочитать бит FERR
10. Считать данные из регистра RCREG
11. При переполнении сбросить бит OERR

Примечание: Остановить прием можно сбросом битов SREN и CREN, или SPEN. Это сбросит логику приемника, но сохранит его настройку.

Связанные с асинхронным приемником регистры и биты

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	POR	Reset
13h, 6.0	RCSTA	SPEN	RX9	SREN	CREN	-	FEER	OERR	RX9D	0000 -00x	0000 -00u
15h, 6.0	TXSTA	CSRC	TX9	TXEN	SYNC	-	-	TRMT	TX9D	0000 --10	0000 --10
17h, 6.0	SPBGR	Регистр BGR								xxxx xxxx	uuuu uuuu
14h, 6.0	RCREG	Регистр данных приемника								xxxx xxxx	uuuu uuuu
16h, 6.1	PIR	RBIF	TMR3IF	TMR2IF	TMR1IF	CA2IF	CA1IF	TXIF	RCIF	0000 0010	0000 0010
17h, 6.1	PIE	RBIE	TMR3IE	TMR2IE	TMR1IE	CA2IE	CA1IE	TXIE	RCIE	0000 0000	0000 0000

Примечание: x = неизвестно, u = без изменений, - = не используются, читаются как "0". Затененные клетки не используются.

Ведущий синхронный режим

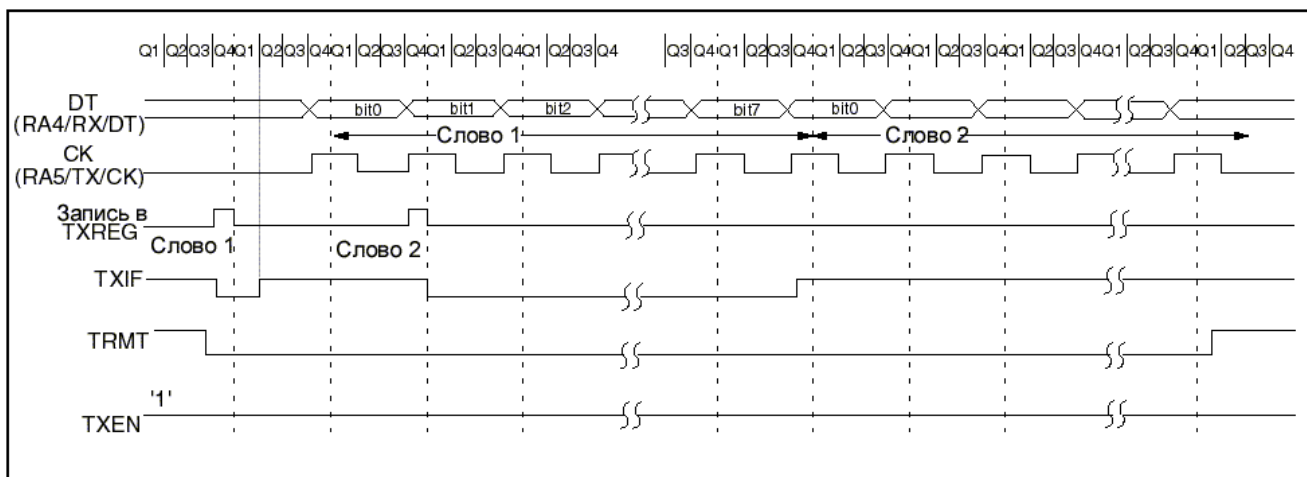
В ведущем синхронном режиме данные передаются полудуплексом, т.е. прием и передача не происходит одновременно. При передаче запрещен прием и наоборот. Синхронный режим включается установкой бита SYNC в регистре TXSTA. Так же необходимо включить модуль USART, установкой бита SPEN, для настройки портов ввода вывода RA5 и RA4 в качестве тактового сигнала СК и линии данных DT соответственно. В режиме ведущего модуль USART формирует тактовый сигнал СК. Выбор режима ведущего производится установкой бита CSRC в регистре TXSTA.

Передача синхронного ведущего

Структурная схема передатчика для синхронного режима аналогична асинхронному передатчику.

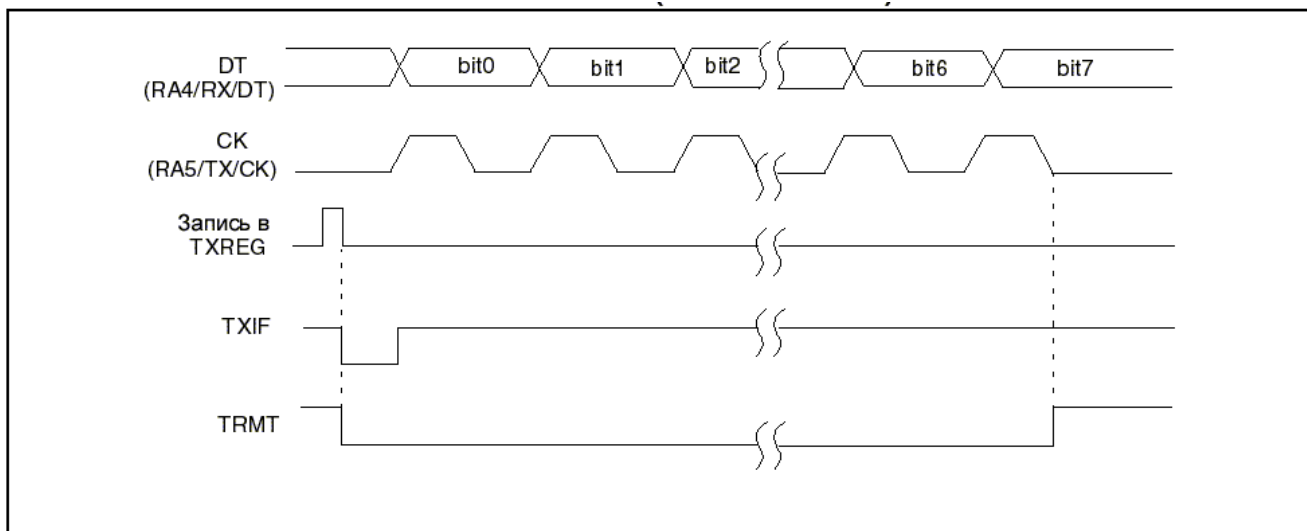
Главным в передатчике является сдвиговый регистр TSR. Сдвиговый регистр получает данные из буфера передатчика TXREG. После передачи стопового бита предыдущего байта, в последнем машинном цикле текущего цикла BGR, TSR загружается новым значением из TXREG (если оно присутствует), и устанавливается флаг прерывания TXIF. Это прерывание может быть разрешено или запрещено битом TXIE. Флаг TXIF устанавливается вне зависимости от состояния бита TXIF и может быть сброшен только загрузкой новых данных в регистр TXREG. Так же, как TXIF отображает состояние TXREG, бит TRMT показывает состояние регистра TSR. Этот бит доступен только на чтение и устанавливается когда регистр TSR пуст. Регистр TSR не отображается на память и не доступен пользователю.

Передача разрешается установкой бита TXEN, но не начнется до тех пор, пока не будут загружены регистр TXREG. Данные появятся на выходе по первому переднему фронту тактового сигнала СК. Выходные данные стабилизируются по заднему фронту тактового сигнала.



Примечание: BGR=0, поточная передача 2-х 8-битных слов

Можно сначала загрузить данные в TXREG, и потом установить бит TXEN. Это полезно при низких скоростях передачи, когда BGR остановлен, а биты TXEN, CREN, SREN сброшены в нуль. Установка бита TXEN запустит BGR, который немедленно выдаст тактовый сигнал. Обычно после разрешения передачи TSR пуст, и в результате записи в TXREG данные записываются в TSR. Это позволяет реализовать слитную передачу данных.



Сброс бита TXEN вызовет немедленное прекращение передачи, сбросит логику передатчика и переведет выходы RA5/TX/CK, RA4/RX/DT в третье состояние.

Установка бита CREN или SREN во время передачи вызовет ее прекращение и переведет вывод RA4/RX/DT в третье состояние, а вывод RA5/TX/CK останется выходом тактового сигнала, если бит CSRC установлен.

Если бит SREN был установлен, чтобы прервать текущую передачу и принять одиночное слово, получив слово бит SREN сбросится, и последовательный порт продолжит передачу, если установлен бит TXEN. Линия данных DT переключится из третьего состояния для начала передачи данных. Чтобы это предотвратить, необходимо сбросить бит TXEN.

Для выполнения 9-битной передачи необходимо установить бит TX9, а девятый бит записывать в TX9D регистра TXSTA до записи данных в регистр TXREG.

Рекомендованная последовательность действий для передачи данных в синхронном ведущем режиме:

1. Установить требуемую скорость передачи с помощью BGR
2. Выбрать синхронный режим установкой бита SYNC
3. Выбрать режим ведущего установкой бита CSRC
4. Включить модуль USART установкой бита SPEN
5. Если необходимо, разрешить прерывания установкой бита TXIE
6. Если передача 9-битная, установить бит TX9
7. Если передача 9-битная, записать 9-й бит данных в TX9D
8. Записать данные в регистр TXREG
9. Разрешить передачу установкой бита TXEN

Запись данных в TXREG до разрешения передачи данных, позволяет начать передачу быстрее, чем, если бы эти действия были проделаны в другой последовательности.

Примечание: Для прекращения передачи необходимо сбросить бит SPEN или TXEN, что приведет к сбросу логики передатчика. При последующем включении передатчика его настройка сохранится.

Связанные с синхронным передатчиком регистры и биты

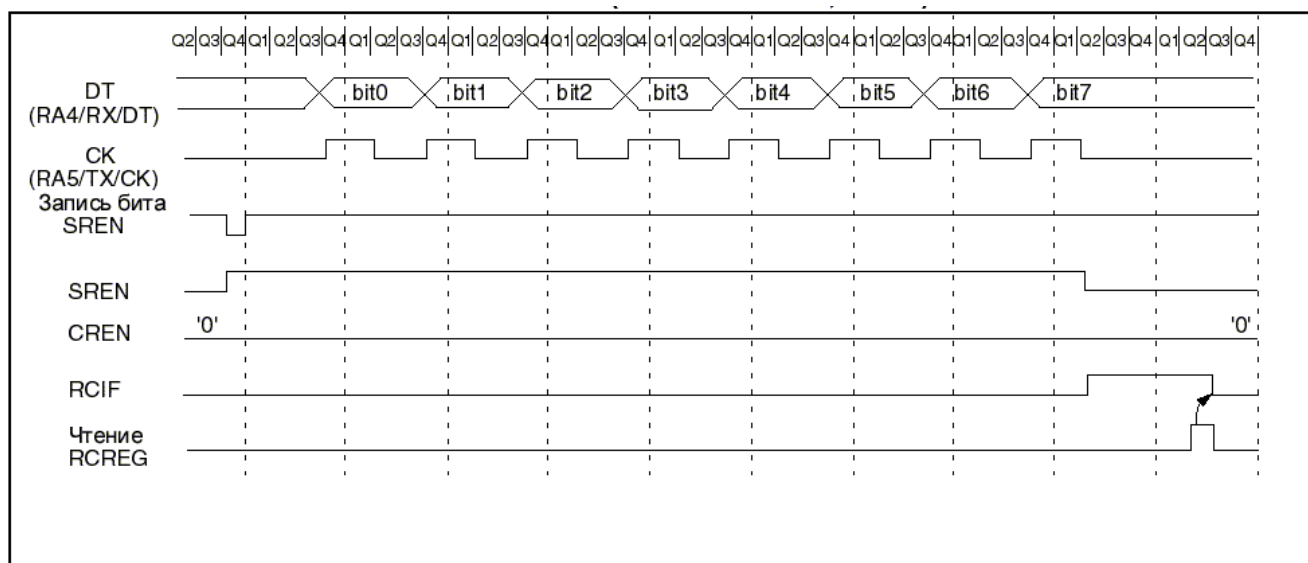
Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	POR	Reset
13h, 6.0	RCSTA	SPEN	RX9	SREN	CREN	-	FEER	OERR	RX9D	0000 -00x	0000 -00u
15h, 6.0	TXSTA	CSRC	TX9	TXEN	SYNC	-	-	TRMT	TX9D	0000 --10	0000 --10
17h, 6.0	SPBGR	Регистр BGR								xxxx xxxx	uuuu uuuu
16h, 6.0	TXREG	Регистр данных передатчика								xxxx xxxx	uuuu uuuu
16h, 6.1	PIR	RBIF	TMR3IF	TMR2IF	TMR1IF	CA2IF	CA1IF	TXIF	RCIF	0000 0010	0000 0010
17h, 6.1	PIE	RBIE	TMR3IE	TMR2IE	TMR1IE	CA2IE	CA1IE	TXIE	RCIE	0000 0000	0000 0000

Примечание: x = неизвестно, u = без изменений, - = не используются, читаются как "0". Затененные клетки не используются.

Прием синхронного ведущего

В синхронном режиме прием разрешается установкой битов CREN и SREN. Линия данных опрашивается по заднему фронту тактового сигнала. Если бит SREN установлен, а CREN сброшен, то принимается одиночное слово. Если бит CREN установлен, то в не зависимости от состояния бита SREN будет производиться поточный прием данных. После получения последнего бита очередного слова данные переписываются в регистр RCREG, если он пуст. После записи в регистр RCREG выставляется флаг прерывания RCIF в регистре PIR. Прерывание можно разрешить/запретить установкой/сбросом бита RCIE в регистре PIE. Флаг RCIF доступен только на чтение, сбрасывается аппаратно при чтении из регистра RCREG. Регистр RCREG имеет двойную буферизацию, т.е. представляет собой двухуровневый FIFO. Поэтому, можно принять 2 байта данных в FIFO RCREG и третий в регистр RSR.

Если FIFO заполнен и обнаружен последний бит третьего байта, устанавливается бит переполнения приемника OERR регистра RCSTA. Байт принятый в RSR будет потерян. Для извлечения двух байт из FIFO необходимо дважды прочитать из регистра RCREG. Бит OERR нужно программно очистить сбросом бита CREN, т.е. запрещением приема. В любом случае, если бит OERR установлен, логика приема отключена.



Девятый бит принятых данных буферизируются так же, как принятые данные. Рекомендуется сначала прочитать регистр RCSTA, затем RCREG, чтобы не потерять бит записанный в RX9D.

Рекомендованные действия при приеме данных в синхронном ведущем режиме:

1. Установить требуемую скорость передачи с помощью BGR
2. Выбрать синхронный режим установкой бита SYNC
3. Выбрать режим ведущего установкой бита CSRC
4. Включить модуль USART установкой бита SPEN
5. Если необходимо, разрешить прерывания установкой бита RCIE
6. Если прием 9-битный, установить бит RX9
7. Установить поточный или одиночный прием
8. Ожидать установку бита RCIF, или прерывание, если оно разрешено
9. Если прием 9-битный, считать 9-й бит данных из RX9D
10. Прочитать бит FERR
11. Считать данные из регистра RCREG
12. При переполнении сбросить бит OERR

Примечание: Остановить прием можно сбросом битов SREN и CREN, или SPEN. Это сбросит логику приемника, но сохранит его настройку.

Связанные с синхронным приемником регистры и биты

Адрес	Имя	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0	POR	Reset
13h, 6.0	RCSTA	SPEN	RX9	SREN	CREN	-	FEER	OERR	RX9D	0000 -00x	0000 -00u
15h, 6.0	TXSTA	CSRC	TX9	TXEN	SYNC	-	-	TRMT	TX9D	0000 --10	0000 --10
17h, 6.0	SPBGR	Регистр BGR								xxxx xxxx	uuuu uuuu
14h, 6.0	RCREG	Регистр данных приемника								xxxx xxxx	uuuu uuuu
16h, 6.1	PIR	RBIF	TMR3IF	TMR2IF	TMR1IF	CA2IF	CA1IF	TXIF	RCIF	0000 0010	0000 0010
17h, 6.1	PIE	RBIE	TMR3IE	TMR2IE	TMR1IE	CA2IE	CA1IE	TXIE	RCIE	0000 0000	0000 0000

Примечание: x = неизвестно, u = без изменений, - = не используются, читаются как "0". Затененные клетки не используются.

Ведомый синхронный режим

Режим ведомого отличается от ведущего тем, что устройство использует тактовый сигнал со входа RA5/TX/CK, а не формирует его самостоятельно. Это позволяет устройству принимать и передавать данные в SLEEP режиме. Выбрать режим ведомого можно сбросом бита CSRC в регистре TXSTA.

Передача синхронного ведомого

Работа передатчика в обоих синхронных режимах одинакова, за исключением работы ведомого в режиме SLEEP.

Если в TXREG были записаны два слова подряд и выполнена команда SLEPP, происходит следующее:

- Первое слово сразу записывается в TSR и передается по мере прихода тактового сигнала
- Второе слово остается в TXREG, и флаг TXIF не устанавливается
- После передачи первого слова, второе слово передается из TXREG в TSR, устанавливается флаг TXIF
- Если установлен бит TXIE, микроконтроллер выходит из режима SLEEP
- Если разрешены периферийные прерывания, происходит переход по вектору 0020h

Прием синхронного ведомого

Работа приемника в обоих синхронных режимах одинакова, кроме работы в режиме SLEEP. Кроме того, не учитывается состояние бита SREN.

Если перед выполнением команды SLEEP был разрешен прием (бит CREN установлен), то модуль USART может принять слово, в SLEEP режиме микроконтроллера. По окончании приема данные передаются из регистра RSR в RCREG, и устанавливается флаг прерываний RCIF. Если бит RCIE установлен, микроконтроллер выйдет из режима SLEEP. Если разрешены прерывания от периферийных устройств, произойдет переход по адресу 0020h.

Статья основывается на технической документации DS30412c
компании Microchip Technology Incorporated, USA.