

## Проектирование цифровых устройств на микросхемах программируемой логики фирмы Xilinx

В данной статье излагаются основы проектирования разнообразных цифровых устройств пользователя на программируемых логических интегральных схемах (ПЛИС) фирмы Xilinx, делается краткий обзор архитектуры семейств ПЛИС XC9500 и CoolRunner и САПР для работы с данными кристаллами.

Как можно достаточно быстро и дешево заменить несколько десятков интегральных схем низкой и средней степени интеграции одним кристаллом с возможностью быстрого перепроектирования схемы, не изменяя топологии печатной платы устройства? Ответ простой – стоит использовать микросхемы программируемой логики семейств XC9500 и CoolRunner фирмы Xilinx.

Именно микросхемы данных семейств обеспечивают высокую гибкость проектируемых устройств пользователя, 100-процентное закрепление внешних выводов ПЛИС при произвольных изменениях внутренней структуры микросхемы, возможность внутрисистемной отладки и изменения конфигурации ПЛИС (In-System Programmable), будучи уже распаянными на печатной плате, встроенный порт JTAG – и это всё при чрезвычайно низкой стоимости самих микросхем – в розницу до 2,7\$ за 800 эквивалентных логических вентиляей! А при выходе нового бесплатного САПР для микросхем семейств XC9500 и CoolRunner проектирование ПЛИС стало доступным для широкого круга разработчиков.

Изложение материала в статье построим следующим образом: сначала остановимся на основных областях применения ПЛИС серий XC9500 и CoolRunner и их характеристиках, затем кратко изложим архитектуру приборов и на заключительном этапе более подробно рассмотрим маршрут проектирования и средства разработки кристаллов.

### Область применения ПЛИС семейства XC9500

Фирма Xilinx, крупнейший производитель приборов программируемой логики, выпускает два основных типа ПЛИС: FPGA (Field Programmable Gate Arrays) и CPLD (Complex Programmable Logic Device).

Основное различие между данными двумя типами кристаллов состоит в двух отправных моментах: в архитектуре – в то время как ПЛИС типа FPGA построены на основе массива однородных конфигурируемых блоков, CPLD Xilinx представляют собой PAL – подобную структуру; и в способе хранения конфигурации – ПЛИС типа FPGA содержат прошивку во внутреннем статическом ОЗУ, поэтому для их инициализации необходим внешний массив памяти (ПЗУ), а ПЛИС типа CPLD сохраняют свою прошивку во внутренней энергонезависимой FLASH-памяти, поэтому процесс конфигурации кристаллов идёт непосредственно из ПЭВМ.

Диапазон логических ресурсов FPGA – от 2-х тыс. вентиляей (XC4002XL) до 3,2 млн. вентиляей (XC9500 серии Virtex-E). Логические ресурсы CPLD значительно меньше – от 800 вентиляей до 12800 вентиляей. По сравнению с микросхемами программируемой логики типа FPGA CPLD имеют меньшее удельное количество триггеров (по одному на каждую макроячейку), а количество макроячеек составляет от 36 для самого кристалла серии XC9500 до 576 – для самого большого.

Различия в архитектуре FPGA и CPLD обуславливают и несколько различные области их применения, хотя для небольших проектов они могут пересекаться с одинаковой эффективностью реализации по стоимостному критерию. Однако монополю за ПЛИС типа FPGA остаётся область построения высокопроизводительных вычислителей, устройств цифровой обработки сигналов, то есть те области, где требуется предельно высокое быстродействие при значительных логических объёмах. В то же время CPLD фирмы Xilinx за счёт из возможности внутрисистемного программирования и низкой стоимости кристаллов оставляют за собой область небольших проектов цифровых логических схем.

CPLD Xilinx за счёт PAL-подобной структуры и наличия многовходовых макроячеек (до 56 входов на макроячейку) идеально подходят для реализации сложных счётчиков типа ДПКД, высокоскоростных дешифраторов адресных шин большой разрядности, коммутации-мультиплексирования потоков данных и построения разнообразных конечных автоматов. Одним из применений CPLD Xilinx может служить построение контроллера регенерации памяти типа SDRAM с тактовой частотой 133МГц.

Очень хорошо кристаллы серии XC9500 выступают в качестве периферии к стандартным микроконтроллерам и микропроцессорам со следующими выполняемыми функциями: дешифрация адреса, поступающего от процессора, выборка соответствующего порта ввода-вывода, преобразование формата данных, буферизация выходящего потока данных (ток нагрузки в низком логическом уровне до 30мА), формирование прерываний и т.д., причём данные операции могут выполняться на частотах свыше 125МГц. В данном случае вся логика обвязки контроллера размещается в одной CPLD Xilinx, проектирование которой осуществляется на столе буквально за считанные минуты.

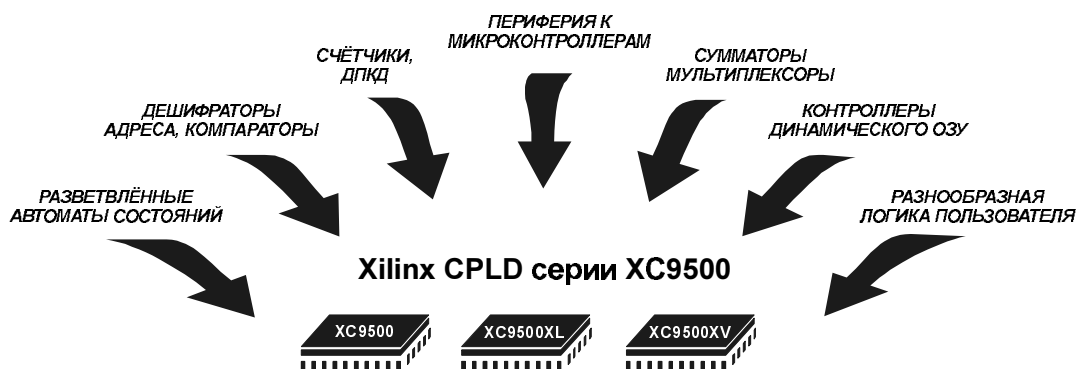


Рис. 1. Области применения CPLD семейства XC9500

### Основные характеристики CPLD Xilinx серии XC9500

- ★ Системная частота до **125 МГц** (**196 МГц** для серии XL/XV)
- ★ Задержка распространения pin-to-pin до **4 нс**
- ★ От **36** до **576** макроячеек (от **800** до **12800** эквивалентных логических вентилей)
- ★ От **34** до **192** внешних пользовательских двунаправленных выводов
- ★ Широкий диапазон корпусов - от PLCC до BGA (включая CSP и VQFP)
- ★ Три серии с напряжением питания **5В, 3.3В, 2.5В**
- ★ Совместимость с **3.3В, 5В** внешней логикой
- ★ Ток нагрузки по выходу **24 мА**
- ★ **10000** циклов репрограммирования
- ★ Срок хранения конфигурации до **20 лет**
- ★ Полная поддержка **JTAG IEEE 1149.1**
- ★ Защита от считывания и перезаписи конфигурации (биты секретности)
- ★ Развитые средства проектирования, в том числе на HDL
- ★ Чрезвычайно малое время компиляции проекта
- ★ Низкая стоимость кристаллов - до **2.7 \$** за 36 макроячеек

Семейство CPLD XC9500 содержит три серии: XC9500, XC9500XL, XC9500XV, отличающиеся напряжением питания ядра, соответственно 5В, 3.3В и 2.5В, и некоторыми архитектурными особенностями. Каждая серия семейства ПЛИС XC9500 содержит до 6 кристаллов различной ёмкости, быстродействия, типов корпуса. Характерной особенностью семейства является практически 100% разводка кристалла при полностью закреплённых внешних выводах (100% pin-locking), что при впаянном кристалле допускает любую модернизацию внутреннего содержимого ПЛИС без необходимости переработки печатной платы.

Характеристики некоторых CPLD семейства приведены в таблице /1/.

ПЛИС XC9500	XC9536/XL	XC9572/XL	XC95108	XC95144/XL/XV	XC95216	XC95288/XL
Системных вентилей	800	1600	2400	3200	4800	6400
Макроячеек*	36	72	108	144	216	288
Макс. время pin-to-pin, нс	5 (XL-4)	7.5 (XL-5)	7.5	7.5 (XL-5)	10	15 (XL-6)
F <sub>снт</sub> , МГц**	100 (XL-200)	125 (XL-178)	125	125 (XL-178)	111.1	92.2 (XL-151)
F <sub>систем</sub> , МГц***	100 (XL-200)	83.3 (XL-178)	83.3	83.3 (XL-178)	66.7	56.6 (XL-151)
Типы корпуса (для XC9500)	VQ44	VQ64				
	PLCC44	PLCC44				
	CS48	CS48				
		PLCC84	PLCC84			
		TQ/PQ100	TQ/PQ100	TQ/PQ100		
			PQ160	PQ160	PQ160	
					HQ208	HQ208
					BG352	BG352

Примечания:

- \* - одна макроячейка реализует 36-входовую (для XL/XV 54-входовую) и содержит триггер
- \*\* - частота функционирования 16-разрядного счётчика
- \*\*\* - частота функционирования системы, состоящей из множества макроячеек

CPLD всех семейств pin-to-pin совместимы, кроме того, в каждом семействе существует совместимость кристаллов различного объёма по корпусам, например, в корпусе TQ100 доступны CPLD XC9572, XC95108 и XC9144 с ёмкостью 72, 108 и 144 макроячеек соответственно.

## Особенности нового семейства CPLD Xilinx CoolRunner

Не так давно фирмой Xilinx было анонсировано новое семейство ПЛИС типа CPLD под названием CoolRunner. Основной особенностью ПЛИС семейства является крайне низкое энергопотребление – до 100мкА в режиме, близком к статическому и до 50% от величины потребляемой мощности по сравнению с конкурирующими ПЛИС как третьих производителей, так и непосредственно Xilinx. Семейство CoolRunner охватывает четыре различных серии: XPLA Original, XPLA Enhanced, XPLA2 и 22V10, включающие в себя ПЛИС как с напряжением питания 5В, так и 3В кристаллы. ПЛИС нового семейства по архитектуре, набору функций и маршруту проектирования схожи с ПЛИС семейства XC9500, поэтому подробно останавливаться на этом не будем и постараемся охватить данные вопросы в наших последующих публикациях. Спектр приложений семейства CoolRunner охватывает всю область использования XC9500 плюс мобильные приложения с микромощным потреблением энергии

## Архитектура CPLD Xilinx семейства XC9500

Как уже говорилось выше, основу CPLD серии XC9500 составляют PAL-подобные макроячейки (МЯ), реализующие логические функции многих переменных с ограниченным числом термов /2/.

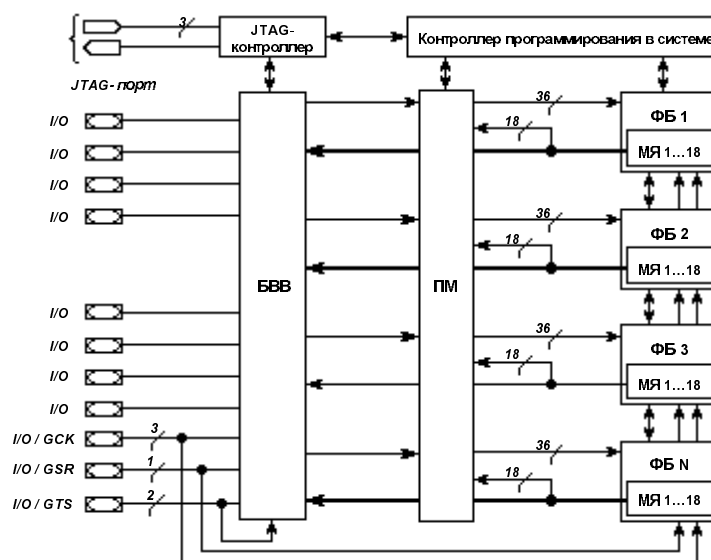


Рис. 2. Архитектура CPLD семейства XC9500

Каждая CPLD семейства XC9500 представляет собой систему, состоящую из множества функциональных блоков (ФБ) и блоков ввода-вывода (БВВ), соединённых переключающей матрицей (ПМ) – рис.2.

Все выводы CPLD семейства XC9500 можно подразделить на 3 группы:

выводы JTAG-порта, через которые производится периферийное сканирование и программирование /3/;

пользовательские выводы, которые могут выполнять функцию ввода, вывода или совмещенного ввода-вывода логических сигналов (I/O);

управляющие выводы, на которые подаются глобальные управляющие сигналы тактирования (GCK), установки/сброса внутренних триггеров (GSR) и управления третьим состоянием (GTS). Управляющие выводы могут также функционировать в качестве обычных пользовательских выводов.

Выводы “земли” и питания (на рис.2 не показаны) для блоков ввода/вывода и внутренней логики CPLD отдельные, что позволяет достаточно просто осуществлять сопряжение CPLD по уровням внешнего интерфейса (данный момент будет рассмотрен далее).

БВВ обеспечивают буферизацию всех входов и выходов CPLD. Каждый ФБ содержит 18 макроячеек со структурой 36 входов/1 выход (для серий XL/XV 54 входа/1 выход) и позволяет получить 18 логических функций практически от любой комбинации из 36 переменных (54 – для XL/XV) .

Высокоскоростная переключающая матрица обеспечивает подачу любых выходных сигналов ФБ и входных сигналов на входы ФБ. От 12 до 18 выходных сигналов каждого ФБ (в зависимости от количества выводов в корпусе) и соответствующие сигналы разрешения выхода поступают непосредственно на блоки вво-

да/вывода. Каждый функциональный блок CPLD (рис.3) состоит из 18-ти независимых макроячеек (МЯ), каждая из которых обеспечивает выполнение комбинаторной и/или регистровой функции.

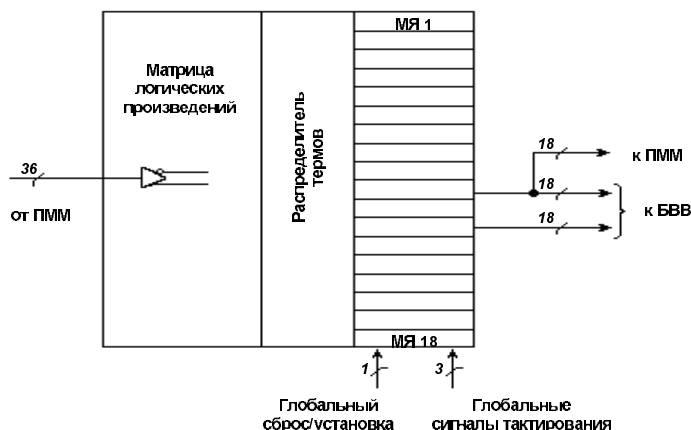


Рис. 3. Структура функционального блока CPLD серии XC9500

Кроме этого, на ФБ приходят сигналы разрешения выхода, установки/сброса и глобальной синхронизации. Каждый ФБ формирует 18 выходных сигналов, которые поступают на ПИМ, а также передаются в БВВ.

Логика внутри ФБ представляет собой матрицу логических произведений (термов). Тридцать шесть входов (54 входа для XL/XV) обеспечивают использование 72 прямых и инверсных сигналов в матрице логических произведений для формирования до 90 термов. Любое подмножество этих термов может быть доступно каждой МЯ через схему распределения термов.

Каждый ФБ имеет внутреннюю цепь обратной связи, что позволяет любому количеству выходных сигналов ФБ поступать в свою собственную программируемую матрицу И, не выходя за пределы ФБ.

Любая макроячейка в CPLD семейства XC9500 может выполнять как логическую комбинаторную, так и регистровую функции. Структура макроячейки совместно с программируемой матрицей логических произведений (элементов И, или “термов”), принадлежащим всему ФБ, представлена на рис. 4.

Каждая макроячейка имеет пять основных и четыре дополнительных входа, поступающих на распределитель термов.

Из матрицы логических произведений пять термов поступают на основные входы макроячейки и могут использоваться либо для выполнения комбинаторных функций (ИЛИ и “Исключающее ИЛИ”), либо как управляющие сигналы, включая сигналы тактирования запоминающего элемента РТС (Product Term Clock), его установки и сброса – РТС (Product Term Set) и РТР (Product Term Reset) и разрешения выхода РТОЕ (Product Term Output Enable).

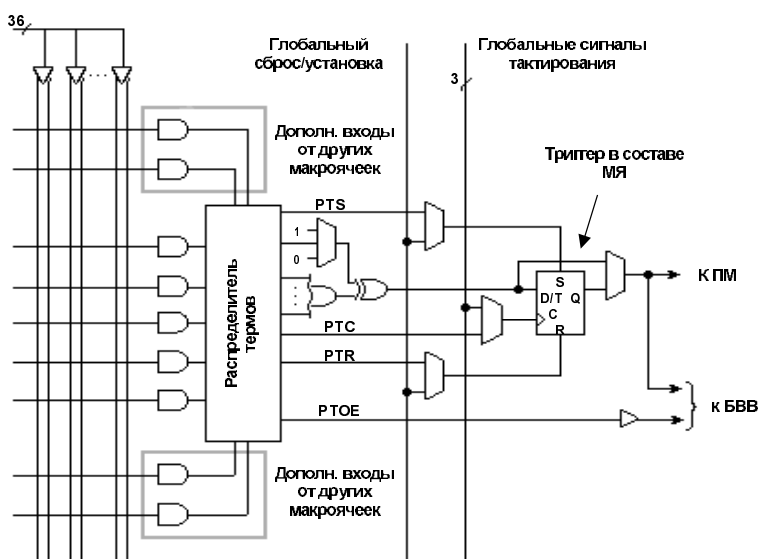


Рис. 4. Структура макроячейки CPLD семейства XC9500

На четыре дополнительные входа поступают сигналы из других макроячеек.

Назначение входных термов для выполнения той или иной функции производит имеющийся в каждой макроячейке распределитель термов.

Кратко остановимся на блоках ввода-вывода CPLD, выполняющих функцию интерфейса между внутренними логическими сигналами и контактами микросхемы.

Каждый БВВ содержит буферы ввода и вывода, мультиплексор сигналов разрешения выхода, схемы программирования пользовательского “общего” вывода (рис.5) и управления длительностью фронта выходного сигнала для каждого выходного буфера (Slew Rate), что позволяет, при необходимости, уменьшить уровень помех на выходах микросхемы.

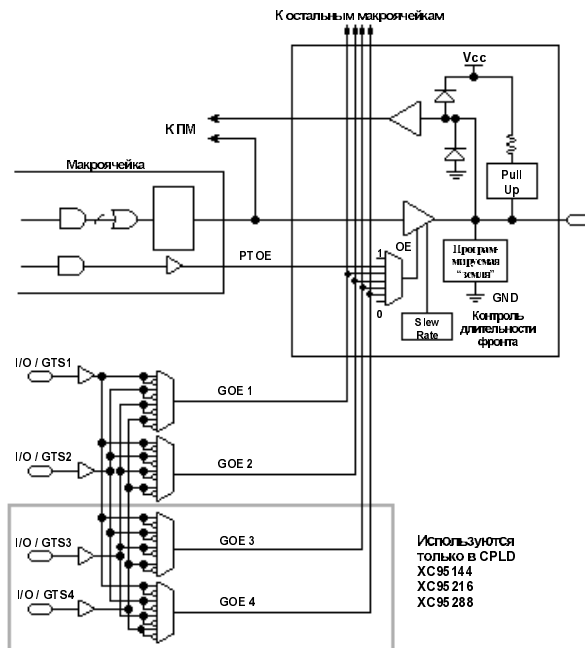
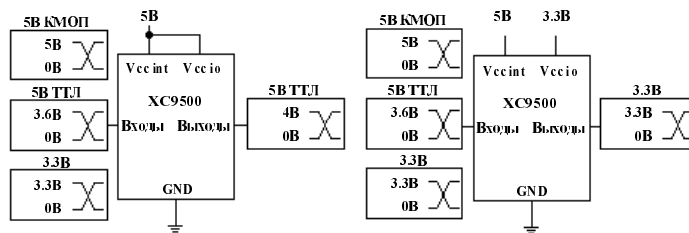


Рис. 5. Структура блока ввода-вывода CPLD семейства XC9500

К каждому входу/выходу микросхемы на время записи/стирания, а также при включении питания подключается внутренний “подтягивающий” к напряжению питания  $V_{CCINT}$  резистор (сопротивлением около 10 кОм) для исключения дрейфа потенциала входных/выходных сигналов на время переходного периода. При переходе МС в рабочий режим, внутренние резисторы отключаются.

В качестве разрешающего выход сигнала OE может быть выбран либо один из термов PTOE с выхода макроячейки, либо один из глобальных сигналов разрешения выхода GOE1 ... GOE4 (Global Output Enable 1 ... 4) положительной или отрицательной полярности. В зависимости от количества макроячеек в микросхеме (36...144 или 180...576), таких глобальных сигналов может быть два или четыре, соответственно.

Входные буфера микросхемы могут работать с сигналами, имеющими стандартные КМОП- или ТТЛ-уровни от элементов с напряжением питания +5 В, +3,3 В либо +2,5В и обеспечивают ток в нагрузке до 24 мА. Наличие отдельной шины питания выходных цепей ( $V_{CCIO}$ ) обеспечивает возможность работы с выходными уровнями сигналов +5,0 В, +3,3 В либо +2,5В для всех выходов одновременно. На рис. 6 а и б проиллюстрирована возможность использования МС семейства XC9500 для работы в устройствах со смешанным (+5 В/+3,3В/+2,5В) питанием и сопряжением с КМОП- и ТТЛ-схемами соответственно для CPLD серии XC9500 и XC9500XL.



а)

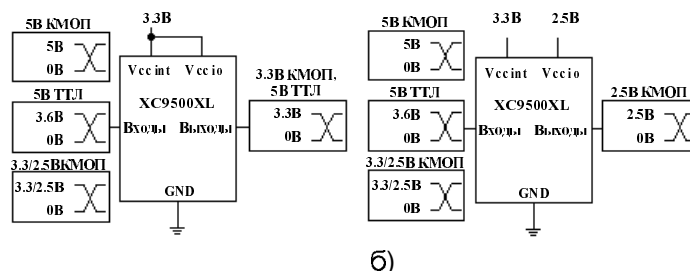


Рис. 6. Использование CPLD семейства XC9500 в схемах со смешанным питанием:  
 а – 5В серия XC9500  
 б – 3.3В серия XC9500XL

В целом же, гибкость архитектуры CPLD семейства XC9500 фирмы Xilinx позволяет реализовать цифровые логические схемы практически любой сложности (с поправкой на ограничение по максимальному объёму логических вентилях на кристалле), а насыщенность CPLD такими архитектурными особенностями, как встроенный порт JTAG, раздельное управление режимом энергопотребления для каждой макроячейки, управление длительностью фронтов выходных сигналов и т.д. делает данные микросхемы достаточно универсальными с эксплуатационной точки зрения.

### Маршрут и средства проектирования CPLD серий XC9500 и CoolRunner

В общем случае маршрут проектирования цифровых устройств на CPLD Xilinx следующий (рис.7) /4/:

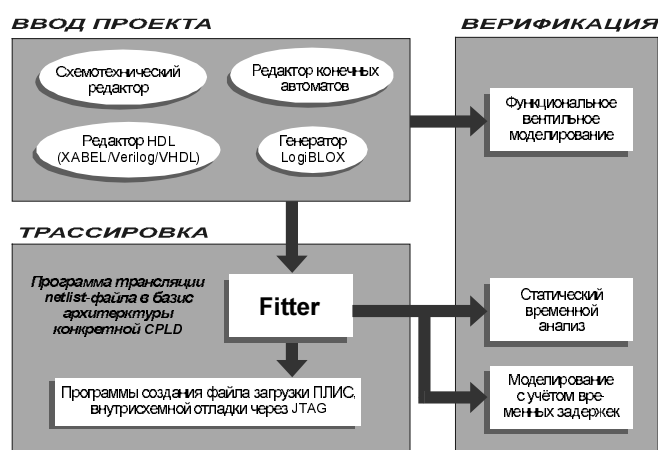


Рис. 7. Маршрут проектирования CPLD Xilinx

На этапе ввода проекта осуществляется описание функционирования схемы разработчика в схемотехническом редакторе, путём построения графов или на языках описания интегральных схем HDL (Hardware Description Language): VHDL, Verilog, Abel. На этом же этапе производится функциональное моделирование работы схемы/HDL кода на вентилях уровне. На этапе трассировки проекта в конкретную CPLD программой Fitter производится автоматическая трансляция выходных файлов средств ввода проекта в файл прошивки CPLD. Вся трассировка ПЛИС серий XC9500 и CoolRunner занимает от одной до нескольких минут в зависимости от размера проекта и требований разработчика к быстродействию устройства. Необходимо заметить, что CPLD данных семейств являются очень быстрыми приборами с временами распространения pin-to-pin до 4нс, так что даже трассировка кристалла с опциями программы Fitter, установленными «по умолчанию» даёт очень хорошие показатели по быстродействию – десятки, а для самых быстрых кристаллов до 200 мегагерц для сложных конечных автоматов и счётчиков.

По окончании процесса трассировки автоматически создаётся файл конфигурации CPLD, а утилиты загрузки ПЛИС позволяют непосредственно из ПЭВМ запрограммировать кристалл через JTAG, как будучи уже распаянным на печатной плате, так и с помощью имеющегося программатора. После трассировки программа статического временного анализа и моделирование с извлечёнными задержками позволяют окончательно верифицировать устройство пользователя, причём, как необходимо заметить, временное моделирование полностью воссоздаёт картину работы устройства в реальных условиях эксплуатации.

В настоящее время фирмой Xilinx поставляется два типа САПР для разработки CPLD серий XC9500 и CoolRunner – это пакет проектирования Foundation версии 2.1i и бесплатный САПР WebPACK, получить кото-

рый можно непосредственно с web-страницы фирмы Xilinx или обратившись к отечественному представителю фирмы. Кратко остановимся на возможностях каждого пакета проектирования. Оба средства являются интегрированными САПР, полностью перекрывающими весь маршрут проектирования CPLD серий XC9500 и CoolRunner, изображённый на рис.7. В то же пакет Foundation является более мощным средством проектирования, позволяющим разрабатывать наряду с CPLD серий XC9500, CoolRunner и ПЛИС типа FPGA с общим объёмом эквивалентных логических вентилей до 3,2 млн. для расширенной версии пакета (Foundation Express) и до 50 тыс. – для базовой версии (Foundation Base). САПР WebPACK позволяет проектировать ПЛИС семейств XC9500 и CoolRunner и содержит только встроенные средства ввода проекта на языках HDL (VHDL, Verilog, Abel) с поддержкой средств схемотехнического ввода третьих производителей.

Проектирование в обоих пакетах осуществляется под управлением программы Project Manager (Project Navigator для WebPACK), интегрирующей остальные программы пакета и обеспечивающей интуитивный пользовательский интерфейс, значительно облегчающий управление рабочими версиями проектов. Так на рис. 8 изображён Project Manager пакета Foundation, а на рис. 9 – Project Navigator WebPACK.



Рис. 8. Пакет проектирования Foundation

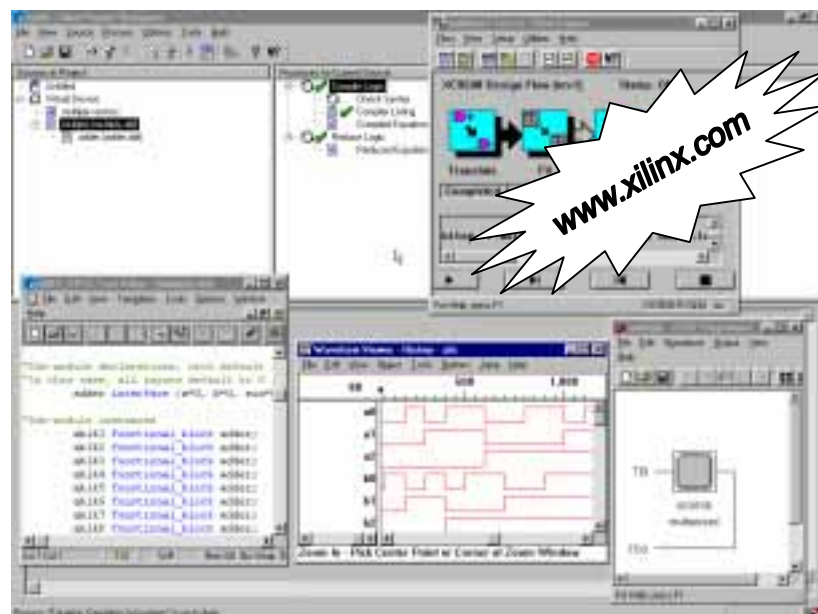


Рис. 9. Пакет проектирования WebPACK

Данные средства проектирования CPLD серий XC9500 и CoolRunner достаточно просты в освоении и позволяют быстро начать реализацию достаточно сложных проектов цифровых устройств, к тому же справочная информация по пакетам (встроенный help) охватывает практически все вопросы проектирования и рассматривает ряд примеров проектирования конкретных устройств на ПЛИС. Широкий ряд рекомендаций и оригинальных решений по применению CPLD в различных приложениях (Application Notes) приводится фирмой Xilinx на своей web-странице <http://www.xilinx.com>, что оказывает разработчику помощь в более эффективном и квалифицированном проектировании на ПЛИС.

Несколько слов о методике программирования CPLD из ПЭВМ и инструментальных средствах. Утилиты пакетов Foundation и WebPACK позволяют осуществить программирование кристаллов в системе (так называемое In System Programming), то есть непосредственно на печатной плате путём использования специального загрузочного кабеля из параллельного или последовательного порта ПЭВМ (в зависимости от типа кабеля). Широкий спектр кабелей как фирменных, так и отечественного производства поставляется российским дистрибутором фирмы Xilinx.

Из инструментальных средств, помогающих освоить проектирование CPLD серий XC9500 и CoolRunner, в настоящее время поставляется отечественный инструментальный модуль под названием CPLDKit. На данном модуле устанавливаются по одной ПЛИС указанных семейств, EEPROM 32к, кварцевый генератор 40МГц, имеется встроенный контроллер загрузки CPLD из PC (рис.10).

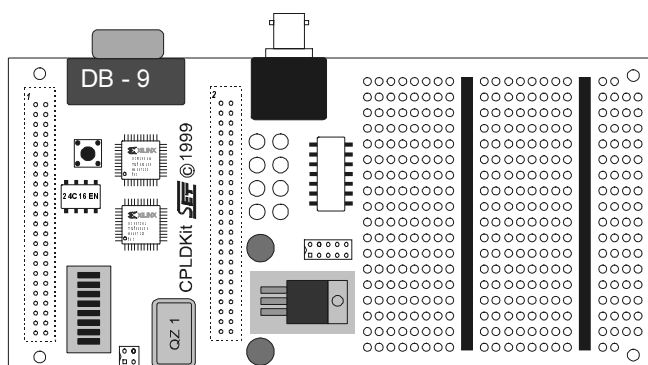


Рис. 10. Внешний вид модуля CPLDKit

Монтажное поле модуля позволяет разработчику смонтировать дополнительную обвязку CPLD, например, силовую часть своего устройства, в то же время на многоконтактные периферийные разъёмы платы выводится максимум пользовательских выводов ПЛИС (с током нагрузки до 24мА). В комплект поставки за 99\$ входит CD с пакетом проектирования WebPACK, кабель программирования CPLD из параллельного порта ПЭВМ /5/.

В заключение хочется заметить, что длительное время использования авторами CPLD серии XC9500 в ряде реальных разработок показало их высокую надёжность и стабильность характеристик, простоту проектирования, программирования и верификации, лёгкость обеспечения требуемых параметров по быстродействию, что даёт веские основания полагать, что в ближайшие год-два кристаллы рассмотренных серий займут прочное положение на отечественном рынке цифровых устройств малой и средней степени интеграции.

1. The Programmable Logic Data Book, Xilinx Inc., 1999.
2. Программируемые логические ИМС на КМОП-структурах и их применение / П.П. Мальцев, Н.И. Гарбузов, А.П. Шарапов, Д.А. Кнышев – М.Ж Энергоатомиздат, 1998. – 160 с.
3. The ISP Application Guide, Xilinx Inc., 1997.
4. Xilinx Foundation Help, Xilinx Inc., 1999.
5. Инструментальный модуль CPLDKit. Техническое описание, Scan Engineering Telecom, 1999.

Капитанов В.Д.  
 Мистоков В.Г.  
**Scan Engineering Telecom, Воронеж**  
 Тел.: (0732) 51-21-99, 72-71-01  
 E-mail: [capt@scan.voronezh.su](mailto:capt@scan.voronezh.su)  
<http://www.xilinx.ru>





**SCAN, Москва**

Официальный представитель фирмы Xilinx в России

Тел.: (095) 796-91-25, 232-23-43

E-mail: [kda@scan.ru](mailto:kda@scan.ru)

<http://www.scan.ru>