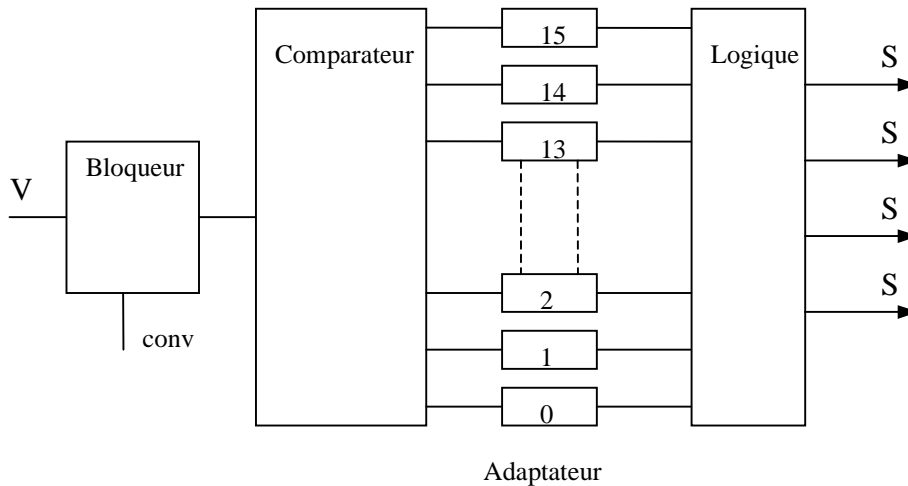


## Chapitre 3 : conversion analogique-numérique

### 1. Convertisseur analogique numérique rapide

Ce type de convertisseur est utilisé en vidéo en raison de sa rapidité.



Convertisseur analogique –numérique sur 4 bits

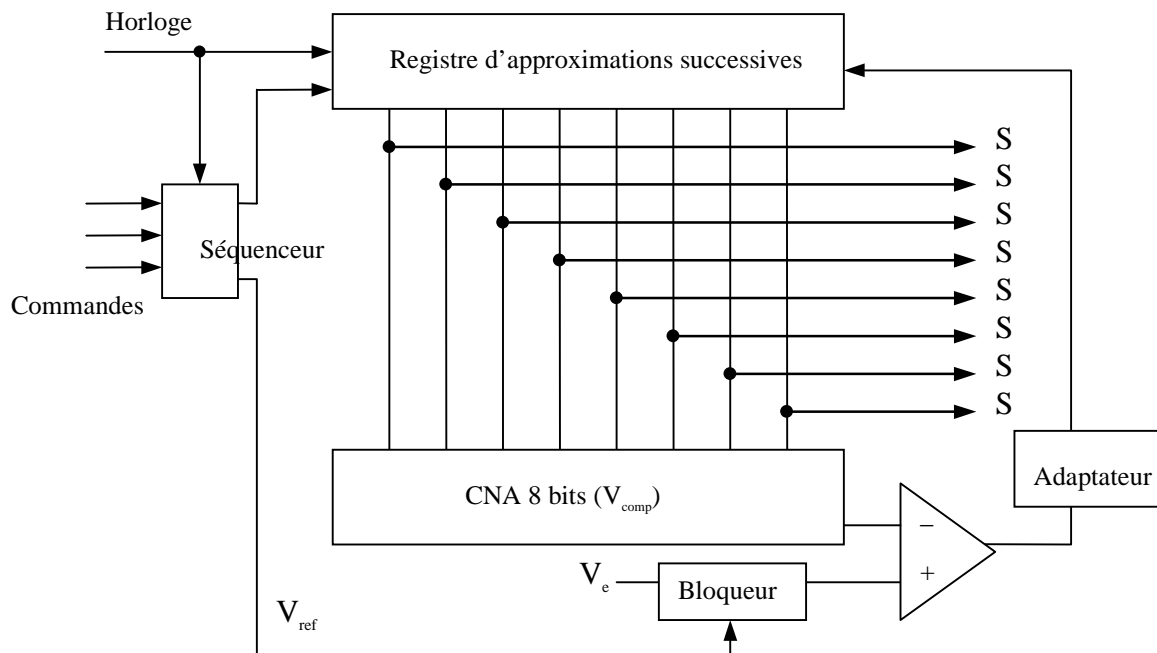
#### Principe de fonctionnement :

Le signal analogique  $V_e$  est envoyé à un étage bloqueur afin stabiliser sa valeur durant le temps de la conversion. La sortie du bloqueur est connectée à un comparateur à n sorties dont k d'entre elles vont passer à  $V_{sat}$  suivant la valeur de  $V_e$ . Comme nous l'avons vu précédemment, des étages d'adaptation sont nécessaires pour passer de  $V_{sat}$  à (0-5 V). La sortie des adaptateurs est connectée à un circuit logique de mise en forme des signaux sur m bits (4 dans l'exemple).

L'avantage de cette structure est sa rapidité de fonctionnement. Son principal inconvénient est le comparateur. En effet, pour obtenir une sortie sur m bits il faut avoir un comparateur à  $2^m - 1$  sorties. A titre d'exemple la conversion analogique numérique utilisée en vidéo est sur 8 bits, le comparateur associé possède 255 sorties.

## 2. Convertisseur analogique-numérique par approximation successives

Il s'agit d'identifier les bits un par un en comparant successivement à  $V_{ref}/2, V_{ref}/4, \dots$ . Le schéma de principe est donné ci-dessous :



*Convertisseur analogique –numérique sur 8 bits*

### Principe de fonctionnement :

Pour simplifier le raisonnement, nous supposons que la tension  $V_e$  est positive. En appliquant les résultats du CNA, la sortie du CNA, la tension initiale est  $V_{comp} = \frac{N}{2^n} V_{ref}$ . Le registre d'accumulations successives est initialisé à  $S = (S_{n-1}, \dots, S_k, \dots, S_0) = (10000000)$  où  $k$  varie de 0 à 7 comme indiqué sur le schéma, ici  $N = 2^{n-1}$ . Au premier cycle d'horloge, le signal analogique  $V_e$  est envoyé à un étage bloqueur afin de stabiliser sa valeur durant le temps de la conversion. La sortie du bloqueur est comparée à  $V_{comp}$ . Si  $V_e$  est supérieure à  $V_{comp}$ , la sortie du comparateur passe à  $V_{sat}$ , qui est transformé en  $+5V$  par le circuit adaptateur. Ce circuit envoie alors un 1 logique dans le registre d'approximations successives en deuxième position de  $S$ . On passe alors à  $S = (11000000)$ . Supposons qu'un 0 logique soit généré. Il remplace le premier 1 de  $S$  et on envoie un 1 en deuxième position, d'où  $S = (01000000)$  la tension en sortie du CNA est alors calculée suivant le principe rappelé plus haut et comparée. Le processus se poursuit durant  $n$  cycles d'horloge. La résolution d'un tel

système est  $V_{ref}/2^8$ . Plus généralement, la résolution d'un système de codage sur n bits est  $V_{ref}/2^n$ . Il faut n coups d'horloge pour assurer la conversion.

Exemple :

Supposons que  $V_e$  soit égale à 8,2 V et que  $V_{ref}$  soit égale à -10 V. Nous souhaitons coder cette donnée sur 4 bits.

Calculons le pas de résolution, il est de  $1/2^4$ , soit  $(10/16) = 0,625$  V.

au départ :  $S = (1000)$ ,  $N = 8$ ,  $V_{comp} = 5$  V.

- 1<sup>er</sup> cycle d'horloge :  $V_{comp} = 5$  V ;  $V_e > V_{comp}$ , donc 1 logique  $S = (1100)$ ,  $V_{comp} = 7,5$  V
- 2<sup>eme</sup> cycle d'horloge :  $V_{comp} = 7,5$  V ;  $V_e > V_{comp}$ , donc 1 logique  $S = (1110)$ ,  $V_{comp} = 8,75$  V
- 3<sup>eme</sup> cycle d'horloge :  $V_{comp} = 8,75$  V ;  $V_e < V_{comp}$ , donc 0 logique  $S = (1101)$ ,  $V_{comp} = 8,125$  V
- 4<sup>eme</sup> cycle d'horloge :  $V_{comp} = 8,125$  V ;  $V_e < V_{comp}$ , donc 1 logique  $S = (1101)$ , soit  $N = 13$ .

Autre exemple  $V_e$  soit égale à 4,2 V en gardant que  $V_{ref}$  égale à -10 V et 4 bits de codage.

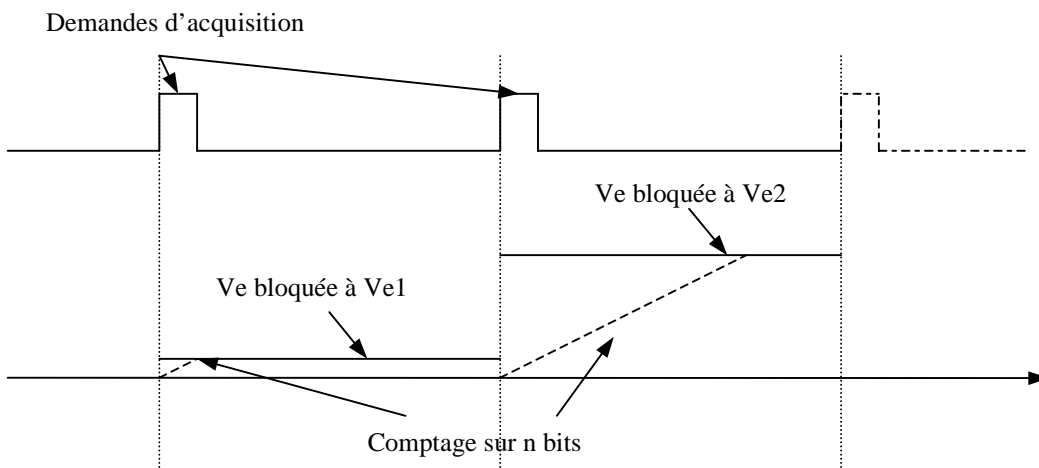
au départ :  $S = (1000)$ ,  $N = 8$ ,  $V_{comp} = 5$  V.

- 1<sup>er</sup> cycle d'horloge :  $V_{comp} = 5$  V ;  $V_e < V_{comp}$ , donc 0 logique  $S = (0100)$ ,  $V_{comp} = 2,5$  V
- 2<sup>eme</sup> cycle d'horloge :  $V_{comp} = 2,5$  V ;  $V_e > V_{comp}$ , donc 1 logique  $S = (0110)$ ,  $V_{comp} = 3,75$  V
- 3<sup>eme</sup> cycle d'horloge :  $V_{comp} = 3,75$  V ;  $V_e > V_{comp}$ , donc 1 logique  $S = (0111)$ ,  $V_{comp} = 4,375$  V
- 4<sup>eme</sup> cycle d'horloge :  $V_{comp} = 4,375$  V ;  $V_e < V_{comp}$ , donc 0 logique  $S = (0110)$ , soit  $N=6$ .

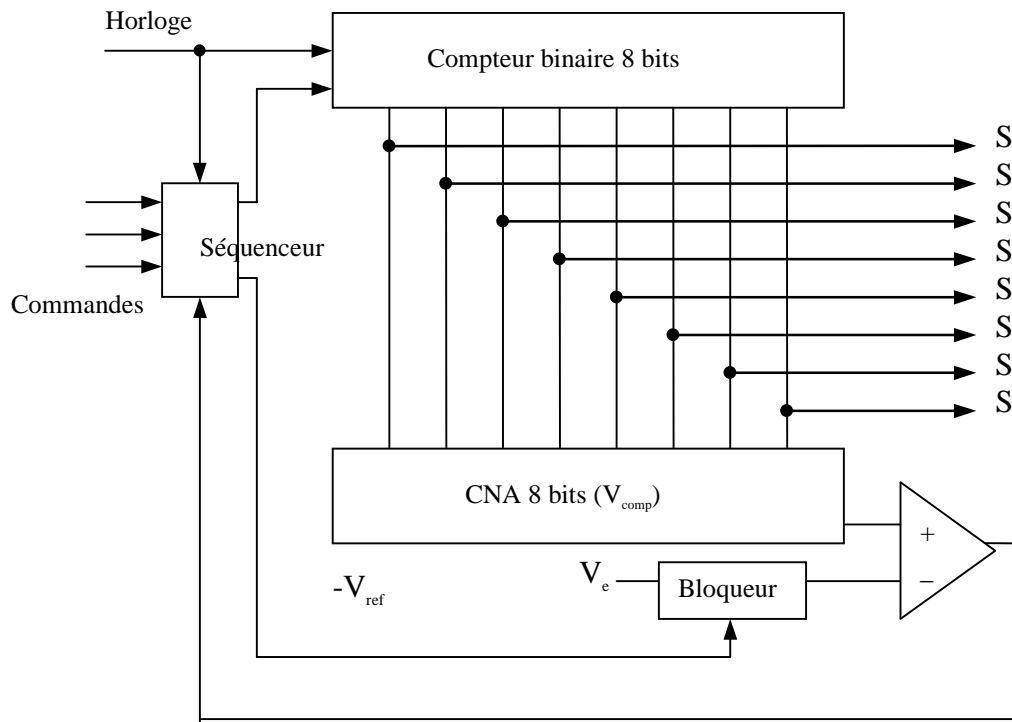
**3. Convertisseur analogique-numérique par rampe linéaire**

Dans ce type de convertisseur , un compteur binaire génère via un CNA une rampe linéaire jusqu'à  $V_{ref}$ . Dès que le comparateur bascule, la valeur binaire de la donnée est identifiée. Ce type de convertisseur est très lent car il peut demander jusqu'à  $2^n$  cycles d'horloge.

Chronogrammes : principe de l'acquisition



Le schéma de principe est donné ci-dessous :



*Convertisseur analogique –numérique sur 8 bits*

Principe de fonctionnement :

Pour simplifier le raisonnement, nous supposons que la tension  $V_e$  est positive. Le compteur est initialisé à  $S = (S_{n-1}, \dots, S_k, \dots, S_0) = (00000000)$ . En appliquant les résultats du CNA, la sortie du CNA, la tension initiale est  $V_{comp} = \left( \sum_{k=0}^{n-1} \frac{S_{n-1-k}}{2^{k+1}} \right) V_{ref}$  où  $k$  varie ici de 0 à 7 ( $n = 8$ ), soit 0 car tous les bits sont à 0.

Au premier cycle d'horloge, le signal analogique  $V_e$  est envoyé à un étage bloqueur afin de stabiliser sa valeur pendant le temps de la conversion. La sortie du bloqueur est comparée à  $V_{comp}$ . Si  $V_{comp}$  est supérieur à  $V_e$ , la sortie du comparateur passe à  $V_{sat}$  et l'ordre est donné au séquenceur commandé par la sortie du comparateur d'arrêter le comptage et comme valeur de la donnée numérique  $S$  la valeur du compteur. Tant que  $V_e$  est supérieur à  $V_{comp}$ , le séquenceur reçoit l'ordre de poursuivre le comptage jusqu'à ce que le comparateur bascule. La résolution de ce système est  $1/2^n$  si la donnée est codée sur  $n$  bits.

Exemple :

Supposons que  $V_e$  soit égale à 8,2 V et que  $V_{ref}$  soit égale à 10 V. Nous souhaitons coder cette donnée sur 4 bits. Calculer la valeur de la donnée numérisée sur 4 bits et le nombre de cycles de comptages nécessaires. La fréquence de l'horloge vaut 100 MHz, en déduire le temps de conversion.

Nous savons que le compteur basculera lorsque  $V_{comp1} = \left( \sum_{k=0}^{n-1} \frac{S_{n-1-k}}{2^{k+1}} \right) V_{ref}$  sera supérieur à  $V_e$ .

Nous pouvons calculer les différentes fractions  $(V_{ref}/2^{k+1})$  pour k variant de 0 à 3 et décomposer  $V_e$  suivant ces fractions.

$$k = 0, (V_{ref}/2) = 5 \text{ V,}$$

$$k = 1, (V_{ref}/4) = 2,5 \text{ V,}$$

$$k = 2, (V_{ref}/8) = 1,25 \text{ V,}$$

$$k = 3, (V_{ref}/16) = 0,625 \text{ V (cette valeur correspond également à la résolution du système)}$$

Décomposons alors  $V_e$  suivant les tensions calculées plus haut:  $V_e = 1*5 + 1*2,5 + 0*1,25 + 1*0,625 + 0,075$ . Notons que 0,075 V est la résidu de la décomposition de  $V_e$  car il est inférieur à la résolution du système.

Il est ensuite facile de trouver par identification grâce à la décomposition de  $V_e$  en binaire sur 4 bits. Soit  $V_e(1101)$  ce qui correspond à 13 en base 10, il faut donc 13 cycles d'horloge.

La fréquence d'horloge vaut 100 MHz, soit une période de 10 ns soit un temps de conversion pour une donnée de 130 ns. Par comparaison, si un convertisseur rapide avait été utilisé, le temps maximal de conversion aurait été 40 ns soit un gain de temps au moins égal à 3.