



### Обзор семейства

Xilinx CoolRunner™-II CPLDs deliver the high speed and ease of use associated with the XC9500/XL/XV CPLD family с поразительно низким энергопотреблением семейства XPLA3 в одном CPLD. Это означает, что те же части могут быть использованы для высокоскоростной передачи данных/компьютерных систем и использоваться в переносных устройствах. Низкое энергопотребление и высокоскоростные операции скомбинированы в одном семействе которое легко использовать и стоит оно дешево. Современные технологии позволяют потребителю сохранить свой бюджет энергозатрат. Особенности проекта поддерживаются Xilinx ISE® начиная с версии 4.1i WebPACK . В табл.1 указаны вместимость макроячейки и ключевые временные параметры для семейства CoolRunner-II CPLD

Табл.1

	XC2C32A	XC2C64A	XC2C128	XC2C256	XC2C384	XC2C512
Macrocells	32	64	128	256	384	512
Max I/O	33	64	100	184	240	270
T <sub>PD</sub> (ns)	3.8	4.6	5.7	5.7	7.1	7.1
T <sub>SU</sub> (ns)	1.9	2.0	2.4	2.4	2.9	2.6
T <sub>CO</sub> (ns)	3.7	3.9	4.2	4.5	5.8	5.8
F <sub>SYSTEM1</sub> (MHz)	323	263	244	256	217	179

В табл.2 указаны токовые характеристики семейства CoolRunner-II CPLD

	XC2C32A	XC2C64A	XC2C128	XC2C256	XC2C384	XC2C512
I <sub>CC</sub> (µA), 0 MHz, 25°C (typical)	16	17	19	21	23	25
I <sub>CC</sub> (mA), 50 MHz, 70°C (max)	2.5	5	10	27	45	55

1. I<sub>CC</sub> is dynamic current.

### Описание архитектуры.

CoolRunner-II CPLD – семейство быстрых, малопотребляющих CPLD. Лежащая в основе архитектура – традиционная архитектура CPLD комбинирующая макроячейки в функциональные блоки (ФБ,FB) соединённые по всем направлениям расширенной матрицей межсоединений (PMM, Advanced Interconnect Matrix (AIM)). ФБ используют программируемые логические матрицы (ПЛМ), которые позволяют распределять термы между любыми макроячейками ФБ. ПО дизайна может эффективно синтезировать и оптимизировать логику, которая впоследствии подходит ФБ и связано с возможностью использования очень высокого процента ресурсов устройства. Изменения в дизайне очень просты и автоматически управляются программным обеспечением, которое гарантирует 100% соединяемость ПЛМ с каждым ФБ. Это очень надежное построение блоков обеспечивает самое высокое в отрасли сохранение цоколёвок при широких условиях дизайна. Архитектура объясняется более подробно обсуждением основных функциональных блоков, логики и межсоединений.

ПО дизайна автоматически управляет этим устройством, поэтому пользователи могут создать свои проекты с использованием полностью типовых конструкций без знания архитектурных деталей. Более продвинутые пользователи могут получить преимущество от этих деталей для более глубокого понимания от выбора программного обеспечения корректировать свои результаты .

На рис.1 изображена высокоуровневая архитектура, где ФБ соединяются с пинами и матрицей межсоединений. Каждый ФБ содержит 16 макроячеек The BSC path is the JTAG Boundary Scan Control

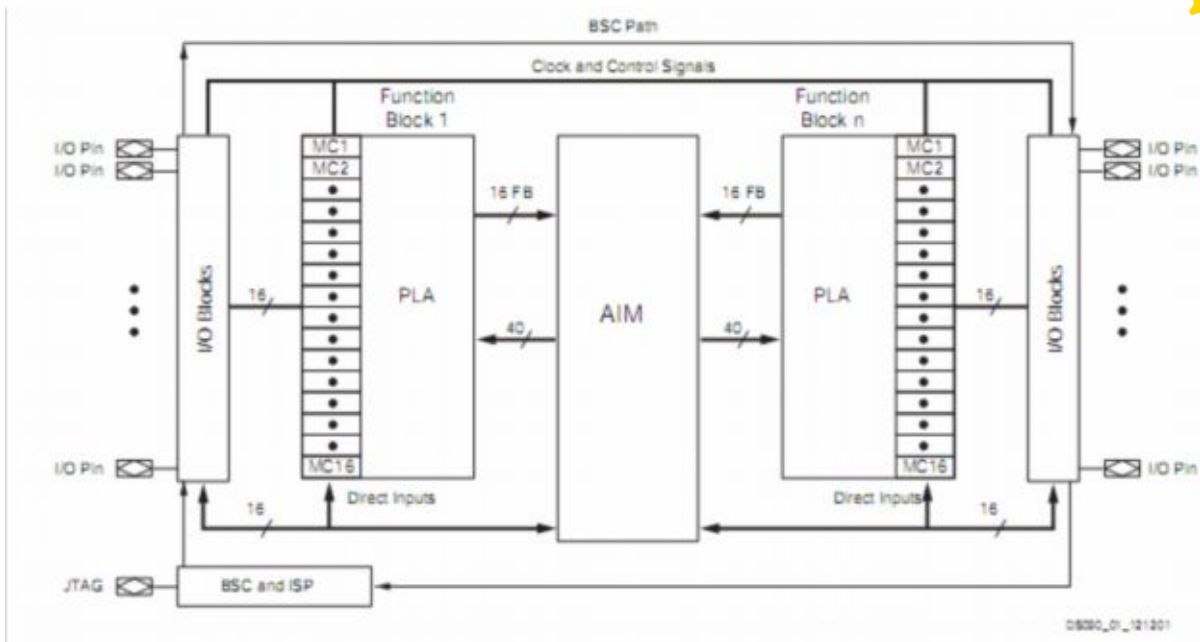
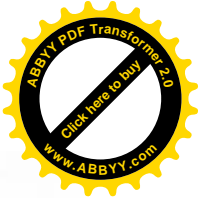
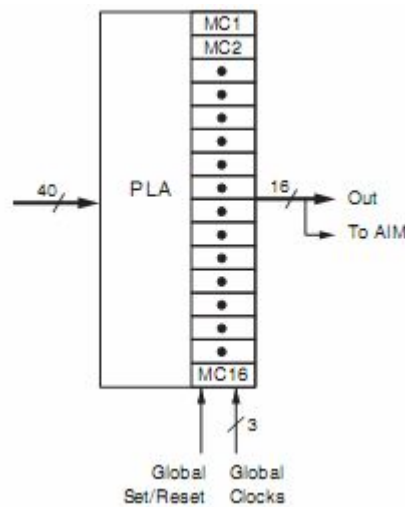


Рис.1

### Function Block

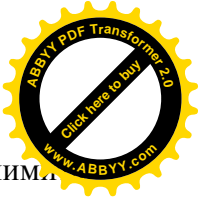
Функциональный блок CoolRunner-II CPLD содержит 16 макроячеек, с 40 входами для поступления сигналов для создания логики и соединения. Внутренний логический двигатель – это 56 термов умножения ПЛИМ. Все ФБ, независимо от количества содержащегося в устройстве, идентичны. Подробнее высокоуровневая структура ФБ на рис.2



На высоком уровне, термы умножения (у-термы) расположены в ПЛИМ. Эта структура является крайне гибкой, и очень надёжной по сравнению с фиксированной или каскадированным умножением термов ФБ.

Классические CPLD обычно имеют несколько у-термов доступных для высокоскоростного пути к заданной макроячейке. Они опираются на захват неиспользованных у-термов из соседних макроячеек, чтобы расширить свои термы умножения. Результатом применения такой архитектуры является переменная военная модель и возможность мейл неиспользуемой логики внутри функционального блока.

ПЛИМ – другие. И лучше! Во первых, любой терм умножения может быть прикреплен к любому входу ИЛИ внутри макроячейки ФБ. Во-вторых, любая логическая



функция может иметь так много у-термов как нужно добавить их внутри ФБ, до лимита 56. В-третьих, термы умножения могут быть использованы заново в множестве макроячеек функции ИЛИ внутри ФБ, исключительное логическое умножение нуждается в однократном создании, но может быть затем заново использовано до 16ти раз внутри ФБ. Естественно это играет на руку с установкой ПО, которое определяет термы умножения, которые могут быть разделены. ПО размещает так много этих функций в ФБ, как может. Поэтому не нужно, чтобы функции макроячеек располагались рядом или с любым другим ограничением сохранялись в одном ФБ, который занимается программным обеспечением. Функциям не нужен общий таймер, общая установка/сброс или общий выход для получения всех преимуществ ПЛМ. Также, каждый терм умножения достигается с одинаковой задержкой. Не существует каскадирования времени для получения больших термов умножения в ФБ. Когда предел у-термов в функциональном блоке достигнут, существует небольшой штраф времени для достижения сигналами другого ФБ для продолжения создания логики. Проектное ПО Xilinx размещает это автоматически.

### Макроячейка

Макроячейка CoolRunner-II CPLD – быстродействующая для создания логики. Пользователи могут разрабатывать сумму-умножения (СУ) логических выражений вплоть до 40 входов и охватывающих 56 термов умножения в одно ФБ. Макроячейка может способствовать комбинированию СУ выражений в вентиль исключаящего ИЛИ с другим выражением одиноким у-терма. Полярность результирующего логического выражения также можно выбрать. Также, логическая функция может быть чисто комбинационной или регистровой, хранимой по выбору в D или T триггере или триггере-защёлке. Доступный каждой макроячейке – независимый выделения глобальной переменной, уровень ФБ или у-терма получает синхронизацию, установку, сброс и выходные доступы. Каждый триггер макроячейки конфигурируем для каждого отдельного фронта или синхронизации двойной фронт (DualEDGE), обеспечение или двойной способности скорости передач данных, или возможности распространяйте более медленную синхронизацию (с целью сохранения энергии). Для одиночного фронта синхронизации или защёлкивания, любое значение сигнала может быть выбрано макроячейкой. В деталях макроячейка CoolRunner-II CPLD показана на рис.3

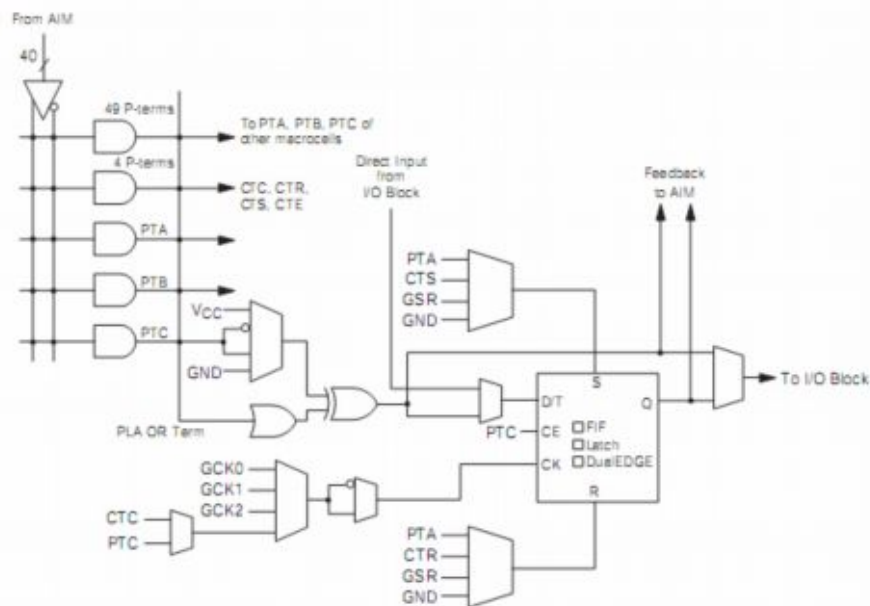


Рис.3

Заметим, что на рисунке 4, стандартные логики символы используются, за исключением нескольких трапециевидных мультиплексоров, которые имеют входной

выбор из статически программируемых конфигурационных линий выбора (не показаны). В приложениях Xilinx в записке XAPP376 дается подробное объяснение того, как логика создается в семействе CoolRunner-II CPLD семейства.

Когда настроено как D-триггер, каждая макроячейка имеет опционную синхронизацию разрешающего сигнала, позволяющего состояние задержки, в то время как синхронизация замедлена. Имейте в виду, что контрольные термы (КТ) доступны в обмен на ключевые функции в ФБ, и в целом используется в тех случаях, когда ту же самую логическую функцию будут повторно создавать в нескольких макроячейках. КТ продуктные термы доступны для синхронизации ФБ (КТС), асинхронной установки ФБ (КТУ), асинхронного сброса ФБ (КТСб) и разрешения выхода ФБ (КТВ).

Любой триггер макроячейки может быть сконфигурирован как входной регистр или защёлка, которая берёт сигнал из вывода (пина) В/В (И/О) макроячейки, и направляет прямо в матрицу межсоединений (ММ, Advanced Interconnect Matrix (AIM)). В макроячейке комбинационная функциональность сохраняется для использования как похороненного логического узла, если это необходимо.  $F_{Toggle}$  – максимальная частота синхронизации с которой Т-триггер может надёжно переключаться.

#### Матрица межсоединений (ММ, Advanced Interconnect Matrix (AIM))

Матрица межсоединений – это высокосвязанный, малопотребляющий быстрый переключатель. ММ направляется программным обеспечением, чтобы доставлять 40 сигналов в каждой ФБ для создания логики. Результаты из всех ФБ макроячеек, также хорошо как их выводов входов циркулируют через ММ для дополнительной соединительной возможности со всеми другими ФБ, как прописано в дизайне ПО. ММ минимизирует задержки распространения по времени и энергии, как это делают соединения с различными ФБ.

#### Блоки ввода/вывода (В/В, I/O)

Блоки В/В – это простые трансиверы. Тем не менее, каждый В/В – это либо автоматически распределённый из стандартного диапазона напряжений, или может быть запрограммирован для этого.

В дополнительных уровнях напряжения, каждый вход проходит через вход транзистора Шмидта. Этот добавляет небольшое время задержки, но существенно подавляет шум во входных выводах. Приблизительно 500 мВ гистерезиса добавляется, когда выбран вход транзистора Шмидта. Все LVCMOS входы могут использовать входы гистерезиса. Гистерезис также позволяет простую генерацию внешних схем синхронизации. Путь через транзистор Шмидта можно увидеть на Рис.4.

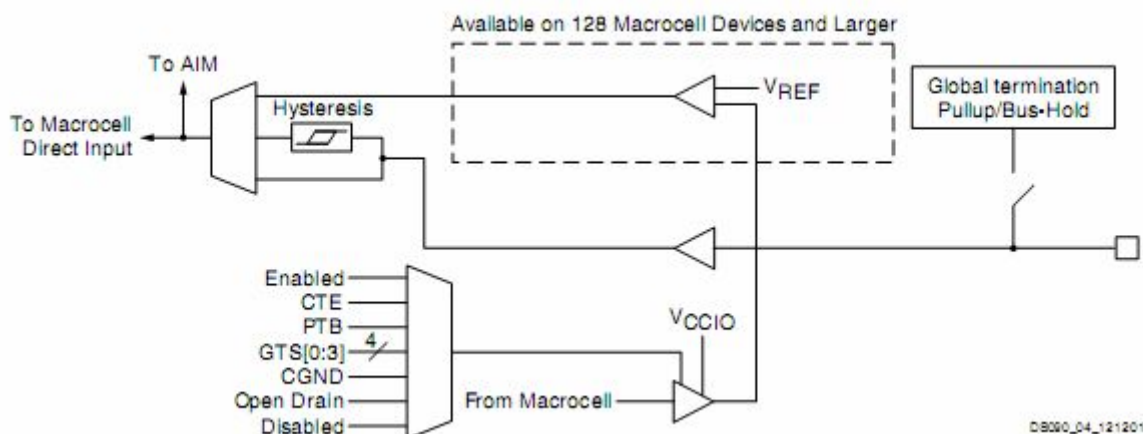
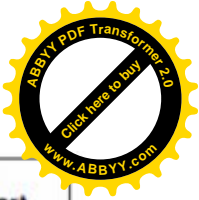


Рис.4 Структурная схема В/В CPLD

См. табл.5 для совместимости транзистора Шмидта со стандартами В/В.



IOSTANDARD Attribute	V <sub>CCIO</sub>	Input V <sub>REF</sub>	Board Termination Voltage (V <sub>TT</sub> )	Schmitt-trigger Support
LVTTL	3.3	N/A	N/A	Optional
LVC MOS33	3.3	N/A	N/A	Optional
LVC MOS25	2.5	N/A	N/A	Optional
LVC MOS18	1.8	N/A	N/A	Optional
LVC MOS15	1.5	N/A	N/A	Not optional
HSTL_1	1.5	0.75	0.75	Not optional
SSTL2_1	2.5	1.25	1.25	Not optional
SSTL3_1	3.3	1.5	1.5	Not optional

Выходы могут быть в состоянии прямой выдачи, 3го состояния или открыты для конфигурации. Также доступен выбор медленного или быстрого курса выходного сигнала.

В табилце 5 изложены различные поддерживаемые стандарты напряжения сопоставимые с определенной частью потенциала. Все входы и неактивные выходы приведены к напряжению 3.3 В.

Семейство CoolRunner-II поддерживает высокоскоростные стандарты В/В : SSTL2-1, SSTL3-1 и HSTL-1. Рис.4. детализирует выводы В/В, в котрых требуется сопряжение с внешними источниками. Все эти стандарты В/В требуют выводов VREF для правильной работы. CoolRunner-II CPLD позволяет любые выводы В/В использовать как выводы VREF, что позволят инженеру использовать макет платы с большей свободой при проектировании выводов. Тем не менее, если расположение выводов VREF сделано неправильно, дополнительные выводы VREF могут быть затребованы, результат – утрата потенциальных В/В или повторная прошивка платы.

VREF имеет требование диапазона выводов, которые должны соблюдаться. ПО Xilinx помогает дизайнерам в размещении без учёта диапазона выводов.

В табл.5 кратко представлены единичные стандарты В/В и показано, какие стандарты поддерживают значения VREF и предельно значение на плате. Детали о VREF приведены в отдельной документации.

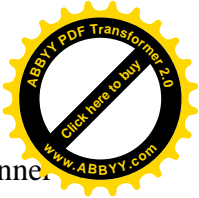
#### Выходные банки.

CPLD широко используются как интерфейсные трансляторы напряжения. Для этой цели, выходные выводы сгруппированы в большие банки. XC2C256 поддерживает 2 банка. С двумя, выход переключается в один из двух уровней напряжения, пока оба банка не достигнут одинакового напряжения. Более большие платы ( 384 и 512 макроячеек) поддерживают 4 выходных банка одновременно. Они могут поддерживать группировку по одному, двум, трём или четырём отдельным выходным уровням напряжения. Этот тип гибкости позволяет лёгкость интерфейса к 3.3 В, 2.5 В, 1.8 В и 1.5 В в одиночной части.

#### DataGATE

Низкое энергопотребление – это достижение технологии CMOS. Другие семейства CPLD используют смысловой усилитель для создания термов производства, которые всегда имеют остаточный ток разработки. Этот остаточный ток может достигать нескольких сотен миллиампер, что делает терм неиспользуемым в портативных системах. CoolRunner-II CPLD используют стандартные методы CMOS для создания архитектуры CPLD и доставлять соответствующее низкое потребление тока в отсутствии любых специальных трюков. Однако, иногда дизайнеры хотят ещё уменьшить их системный ток с помощью выборочным отключением схемы.

Патентованная технология DataGATE рпямю позволяет сократить дополнительную мощность. Каждый вывод В/В имеет переключатель серии, который может блокировать прибытие свободно перемещающихся сигналов, которые не важны. Сигналы, не использование которых может увеличить потребление энергии могут быть отключены. Пользователи свободны при создании своего дизайна, когда создают секцию чтобы принимать участие в функции DataGATE. DataGATE – это логическая функция, которая



ведёт утверждение по рельсам в средях и высокочувствительных частях CoolRunner CPLD. Дизайнеры могут выбирать входы для блокировки под контролем функции DataGATE, эффективный блочный контроль переключения сигнала, поэтому они не управляют внутренними ёмкостями чипа. Выходные сигналы, которые не переключаются, заблокированы особенностями шинной блокировки. Любая установка входных выводов может быть выбрана при участии функции DataGATE. С DataGATE, разработчики могут достигнуть нулевой энергии, если они выберут это в своих дизайнах.

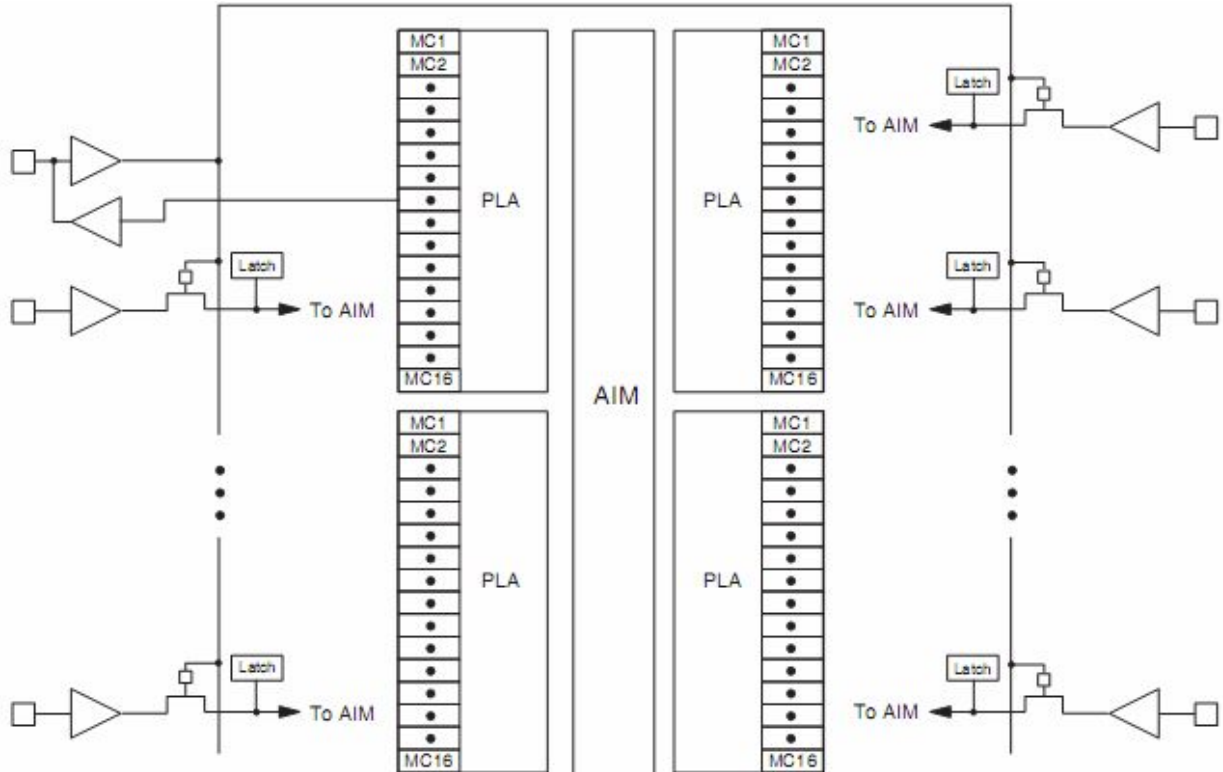


Рис.6

Рис.6 показывает базовую работу DataGATE. Один вывод В/В управляет защитной оградой. Можно реализовать любую логическую функцию на ней. Это может быть просто, как создание карты и вводы вывода в функцию DataGATE, или комплекс как счётчик, или управление выходами конечного автомата выводами В/В DataGATE через макроячейки. Когда защита DataGATE подключена как высокая, любой проход к транзистору будет заблокирован. Каждый вывод имеет возможность подключиться к ММ через пропускной транзистор DataGATE и таким образом быть заблокированным. Защёлка автоматически фиксирует состояние вывода, когда он становится заблокированным. Защита DataGATE пронизывает насквозь все В/В, поэтому каждый может участвовать, если выбран. Заметьте, что одна макроячейка выделена для управления защитой, и эта макроячейка открыта внешнему миру вывода, для проверки. Если DataGATE не требуется вывод используется как обычный В/В.

Есть 2 атрибута, которые связаны с DataGATE в CoolRunner-II CPLD. Первый атрибут уточняется, если вход подвержен DataGATE; и второй атрибут – контрольный сигнал дизайна.

Особенность DataGATE в выборе за вывода базиса. Каждый вывод входа, который использует DataGATE, должен быть согласован с атрибутом DATA\_GATE.

Защита DataGATE может управляться от любого вывода В/В или инерционной логики. Разрешающий сигнал DataGATE посвящён выводу DGE/I/O каждому корпусу CoolRunner-II CPLD. На имплементации, ПО узнаёт, использует ли дизайн DataGATE и автоматически сопоставляет эти выводы В/В разрешающей контрольной функции DataGATE, DGE. Внутренне генерируемая контрольная логика DataGATE может сопоставляться этому выводу В/В с атрибутом BUFG=DATA\_GATE.